

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-093979

(43)Date of publication of application : 07.04.1995

(51)Int.Cl.

G11C 16/04
G11C 16/06

(21)Application number : 05-234767

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 21.09.1993

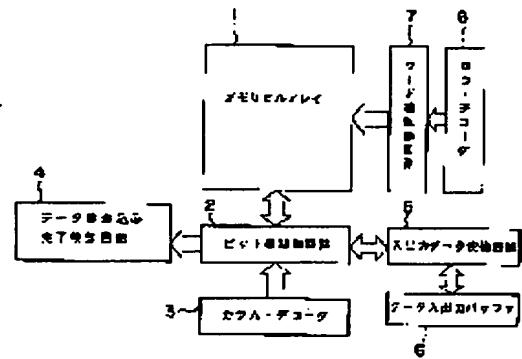
(72)Inventor : TANAKA TOMOHARU

(54) NONVOLATILE SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PURPOSE: To obtain the title memory device which can store multivalued information and which can perform a write verification operation at high speed without causing any erroneous verification by a method wherein a multivalued storage function, a write function and a write-data-content renewal function are installed in a verification circuit.

CONSTITUTION: A memory cell array 1 is formed in such a way that memory cells which can be electrically rewritten and which have a plurality of storage states in three or more stated are arranged on a matrix shape. A bit-line control circuit 2 which controls a bit line to control a bit line in a readout/write operation and a word-line drive circuit 7 which controls the potential of a word line are installed with reference to the memory cell array 1. The bit-line control circuit 2 exchanges readout data and write data with an input/output-data conversion circuit 5. The input/output-data conversion circuit 5 converts multivalued information in a read-out memory cell into binary information which is to be output to the outside, and it converts binary information on write data input from the outside into multivalued information in a memory cell.



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination]

08.12.1998

[Date of sending the examiner's decision of rejection] 21.03.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3226677

[Date of registration] 31.08.2001

[Number of appeal against examiner's decision of rejection] 2001-06200

[Date of requesting appeal against examiner's decision of rejection] 19.04.2001

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-93979

(43)公開日 平成7年(1995)4月7日

(51)Int.Cl.*

識別記号

庁内整理番号

F I

技術表示箇所

G 11 C 16/04
16/06

6866-5L

G 11 C 17/ 00

3 0 8

5 1 0 A

審査請求 未請求 請求項の数 7 ○ L (全 21 頁)

(21)出願番号 特願平5-234767

(22)出願日 平成5年(1993)9月21日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 田中 智晴

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

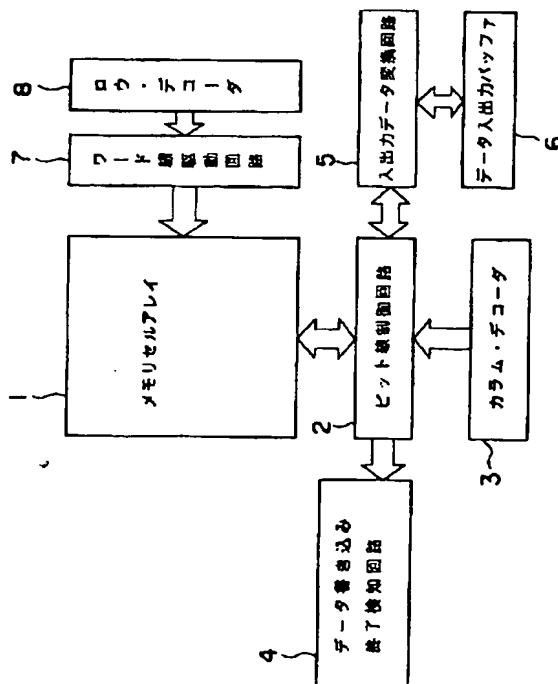
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 不揮発性半導体記憶装置

(57)【要約】

【目的】 3値の情報を記憶することができ、かつ誤ベリファイを招くことなく書き込みベリファイ動作の高速化をはかり得るEEPROMを提供すること。

【構成】 電気的書替え可能なメモリセルをマトリクス配置したメモリセルアレイ1を有し、1つのメモリセルに3つの記憶状態を持たせたEEPROMにおいて、複数のメモリセルの書き込み動作状態を制御するデータを一時記憶する複数のデータ回路と、メモリセルに夫々対応するデータ回路の内容に応じて書き込み動作を行う書き込み回路と、メモリセルの書き込み動作後の状態を確認する書き込みベリファイ回路と、データ回路の内容とメモリセルの書き込み動作後の状態から書き込み不十分のメモリセルに対してのみ再書き込みを行うよう、データ回路の内容を更新するデータ更新回路とを備え、データ回路の内容に基づく書き込み、書き込みベリファイ動作及びデータ回路の内容更新を、メモリセルが所定の書き込み状態になるまで繰返す。



【特許請求の範囲】

【請求項1】電気的書き替えを可能とし3以上の複数の記憶状態を持たせたメモリセルがマトリクス状に配置されたメモリセルアレイと、

このメモリセルアレイ中の複数のメモリセルの書き込み動作状態を制御するデータを一時記憶するための複数のデータ回路と、

前記複数のメモリセルにそれぞれ対応する前記データ回路の内容に応じて書き込み動作を行うための書き込み手段と、

前記複数のメモリセルの書き込み動作後の状態を確認するための書き込みベリファイ手段と、

前記データ回路の内容とメモリセルの書き込み動作後の状態から書き込み不十分のメモリセルに対してのみ再書き込みを行うように、前記データ回路の内容を更新する手段とを備え、

前記データ回路の内容に基づく書き込み動作と書き込みベリファイ動作及びデータ回路の内容更新を、前記複数のメモリセルが所定の書き込み状態になるまで繰り返しながら行うことにより、電気的にデータ書き込みを行うことを特徴とする不揮発性半導体記憶装置。

【請求項2】電気的書き替えを可能としたメモリセルがマトリクス状に配置されたメモリセルアレイを有し、1つのメモリセルに3以上の複数の記憶状態にして任意のデータ“i”（i=0, 1, ~, n-1; n≥3）を持たせて多値記憶し、データ“0”に対応する記憶状態は消去状態である不揮発性半導体記憶装置であって、センスアンプとしてデータをセンスする機能と、センスした情報を前記メモリセルアレイ中の複数のメモリセルの書き込み動作状態を制御するデータとして記憶する機能を兼ね備えた複数のデータ回路と、

前記複数のメモリセルにそれぞれ対応する前記データ回路の内容に応じて書き込み動作を行うための書き込み手段と、

前記複数のメモリセルの書き込み動作後の状態がデータ“i”的記憶状態になっているか否かを確認するための第i（i=1, 2, ~, n-1）の書き込みベリファイ手段と、

前記データ回路の内容とメモリセルの書き込み動作後の状態から書き込み不十分のメモリセルに対してのみ再書き込みを行うように前記データ回路の内容を、データ“i”となるべきメモリセルに対応するデータ回路について一括更新する第i（i=1, 2, ~, n-1）のデータ回路内容一括更新手段と、

前記第iの書き込みベリファイ手段による記憶状態の確認と第iのデータ回路内容一括更新手段による一括更新を、データ“1”からデータ“n-1”に関してn-1回行い、前記データ回路全てについて内容更新するデータ回路内容更新手段とを備え、

前記第iのデータ回路内容一括更新手段は、第iの書き

込みベリファイ手段によりメモリセルの書き込み動作後の状態が出力されるビット線電位のうち、データ“i”（i≥1）となるべきメモリセルに対応するビット線電位が再書き込みデータとしてセンス／記憶され、データ“i”以外の状態となるべきメモリセルに対応するビット線電位はデータ回路の内容を保持するようセンス／記憶されるよう、メモリセルの書き込み動作後の状態が出力されるビット線の電位をデータ回路の内容に応じて修正し、ビット線電位が修正されるまではデータ回路のデータ記憶状態を保持し、修正されたビット線電位を保持したままデータ回路をセンスアンプとして動作させ、データ回路の内容をデータ“i”となるべきメモリセルに対応するものについて一括更新を行い、

前記データ回路の内容に基づく書き込み動作とデータ回路内容更新を、前記複数のメモリセルが所定の書き込み状態になるまで繰り返しながら行うことにより電気的にデータ書き込みを行うことを特徴とする不揮発性半導体記憶装置。

【請求項3】前記データ回路は、書き込み動作時に該データ回路に記憶されているデータに応じて前記のメモリセルの書き込み動作状態を制御し、該メモリセルの状態を所定の書き込み状態になるよう変化させるか、又は該メモリセルの状態を書き込み動作前の状態に保持するかを制御し、

前記第iのデータ回路内容一括更新手段は、データ“i”的書き込み状態になるべきメモリセルに対応するデータ回路について、

メモリセルをデータ“i”的書き込み状態になるよう変化させるよう制御するデータが記憶されているデータ回路に対応するメモリセルがデータ“i”的書き込み状態に達している場合は、データ回路のデータをメモリセルの状態を書き込み動作前の状態に保持するよう制御するデータに変更し、

メモリセルをデータ“i”的書き込み状態になるよう変化させるよう制御するデータが記憶されているデータ回路に対応するメモリセルがデータ“i”的書き込み状態に達していない場合は、メモリセルの状態をデータ

“i”的書き込み状態になるよう変化させるよう制御するデータをデータ回路に設定し、

データ回路にメモリセルの状態を書き込み動作前の状態に保持するよう制御するデータが記憶されている場合は、メモリセルの状態を書き込み動作前の状態に保持するよう制御するデータをデータ回路に設定し、

かつ前記第iのデータ回路内容一括更新手段は、データ“i”以外の書き込み状態になるべきメモリセルに対応するデータ回路については変更しないことを特徴とする請求項2記載の不揮発性半導体記憶装置。

【請求項4】前記メモリセルは半導体層上に電荷蓄積層と制御ゲートを積層形成して構成され、前記3以上の複数の記憶状態として任意のデータ“i”（i=0, 1,

～， $n-1$ ； $n \geq 3$ ）をしきい値の大きさで多値記憶するものであり、

前記第*i*の書き込みペリファイ手段によって制御ゲートに所定の第*i*のペリファイ電位を印加し、データ“*i*”状態になるべきメモリセルのしきい値が所望のしきい値であるか否かをペリファイすることを特徴とする請求項3記載の不揮発性半導体記憶装置。

【請求項5】データ“0”に対応する記憶状態は消去状態であって、前記データ“ $n-1$ ”状態に対応するしきい値はデータ“0”状態に対応するしきい値と最も差が大きく、データ“1”，“2”，～，“*i*”，～，“ $n-2$ ”状態に対応するしきい値はデータ“0”状態に対応するしきい値からデータ“ $n-1$ ”状態に対応するしきい値の間の値であって、

前記データ“0”状態に対応するしきい値から近い順にデータ“1”，“2”，～，“*i*”，～，“ $n-2$ ”状態に対応するしきい値はなっていて、

前記第*i*の書き込みペリファイ手段によってメモリセルの書き込み後の状態が outputされるビット線電位の中で、前記データ回路の内容がメモリセルの状態を書き込み動作前の状態に保持するよう制御するデータであるものに對応するビット線の電位のみを、データ回路でセンスした場合にメモリセルの状態を書き込み動作前の状態に保持するよう制御するデータとなるよう第1の補正ビット線電位に設定する第1のビット線電位設定回路を備え、

前記第*i*（ $1 \leq i \leq n-2$ ）の書き込みペリファイ手段によってメモリセルの書き込み後の状態が outputされるビット線電位のうち、データ“*j*”（ $i+1 \leq j$ ）状態になるべきメモリセルに対応するビット線の中で、データ回路の内容がメモリセルの状態をデータ“*j*”の書き込み状態になるよう変化させるよう制御するデータとなっているものに對応するビット線電位のみを、データ回路でセンスした場合にメモリセルの状態をデータ“*j*”書き込み状態になるよう変化させるよう制御するデータとなるよう第2の補正ビット線電位に設定する第*j*のビット線電位設定回路を備え、

前記データ回路内容更新のため、第*i*の書き込みペリファイによりメモリセルの書き込み動作後の状態が outputされるビット線の電位をデータ回路の内容に応じて前記第1， $i+1$ ， $i+2$ ，～， $n-1$ のビット線電位設定回路によって修正することを特徴とする請求項4記載の不揮発性半導体記憶装置。

【請求項6】前記データ回路は、メモリセルの状態を書き込み動作前の状態に保持するよう制御するか否かを情報として記憶する第1のデータ記憶部と、第1のデータ記憶部の情報がメモリセルの状態を書き込み動作前の状態に保持するよう制御しない情報の場合メモリセルが記憶すべき書き込み状態“*i*”（ $i=1, 2, \dots, n-1$ ）を示す情報を記憶する第2のデータ記憶部と、から

構成され、

前記第1のデータ記憶部は、前記データ回路内容更新のためデータ回路の内容に応じて前記第1， $i+1$ ， $i+2$ ，～， $n-1$ のビット線電位設定回路によって修正された、第*i*の書き込みペリファイによりメモリセルの書き込み動作後の状態が outputされるビット線の電位を、センス／記憶する機能を兼ね備えることを特徴とする請求項5記載の不揮発性半導体記憶装置。

【請求項7】前記第1のデータ記憶部の情報がメモリセルの状態を書き込み動作前の状態に保持するよう制御する情報である場合、書き込み動作時にビット線に書き込み防止ビット線電圧を outputする書き込み防止ビット線電圧出力回路と、

第1のデータ記憶部の情報がメモリセルの状態を書き込み動作前の状態に保持するよう制御しない情報の場合、前記第2のデータ記憶部のメモリセルが記憶すべき書き込み状態“*i*”（ $i=1, 2, \dots, n-1$ ）を示す情報に応じて第*i*の書き込み時のビット線電圧を outputする第*i*の書き込みビット線電圧出力回路とを備えたことを特徴とする請求項6記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電気的書替え可能な不揮発性半導体記憶装置（EEPROM）に係わり、特に1つのメモリセルに1ビットより多い情報を記憶させる多値記憶を行うEEPROMに関する。

【0002】

【従来の技術】EEPROMの1つとして、高集積化が可能なNAND型EEPROMが知られている。これは、複数のメモリセルをそれらのソース、ドレインを隣接するもの同士で共用する形で直列接続し1単位としてビット線に接続するものである。メモリセルは通常、電荷蓄積層と制御ゲートが積層されたFETMOS構造を有する。メモリセルアレイは、p型基板又はn型基板に形成されたp型ウェル内に集積形成される。NANDセルのドレイン側は選択ゲートを介してビット線に接続され、ソース側はやはり選択ゲートを介して共通ソース線に接続される。メモリセルの制御ゲートは、行方向に連続的に配設されてワード線となる。

【0003】このNANDセル型EEPROMの動作は、次の通りである。データ書き込みは、ビット線から最も離れた位置のメモリセルから順に行う。選択されたメモリセルの制御ゲートには高電圧Vpp（=20V程度）を印加し、それよりビット線側にあるメモリセルの制御ゲート及び選択ゲートには中間電圧Vppm（=10V程度）を印加し、ビット線にはデータに応じて0V又は中間電圧Vm（=8V程度）を与える。ビット線に0Vが与えられた時、その電位は選択メモリセルのドレインまで転送されて、電荷蓄積層に電子注入が生じる。これにより、選択されたメモリセルのしきい値は正方向

にシフトする。この状態を例えば“1”とする。ビット線にVmが与えられた時は電子注入が実効的に起こらず、従ってしきい値は変化せず、負に止まる。この状態は消去状態で“0”とする。データ書き込みは制御ゲートを共有するメモリセルに対して同時に行われる。

【0004】データ消去は、NANDセル内の全てのメモリセルに対して同時に行われる。即ち全ての制御ゲートを0Vとし、p型ウェルを20Vとする。このとき選択ゲート、ビット線、ソース線も20Vにされる。これにより、全てのメモリセルで電荷蓄積層の電子がp型ウェルに放出され、しきい値は負方向にシフトする。

【0005】データ読み出しは、選択されたメモリセルの制御ゲートを0Vとし、それ以外のメモリセルの制御ゲート及び選択ゲートを電源電位Vcc(例えば5V)として、選択メモリセルで電流が流れるか否かを検出することにより行われる。

【0006】読み出し動作の制約から、“1”書き込み後のしきい値は0VからVccの間に制御しなければならない。このため書き込みペリファイが行われ、“1”書き込み不足のメモリセルのみを検出し、“1”書き込み不足のメモリセルに対してのみ再書き込みが行われるよう再書き込みデータを設定する(ビット毎ペリファイ)。“1”書き込み不足のメモリセルは、選択された制御ゲートを例えば0.5V(ペリファイ電圧)にして読み出すこと(ペリファイ読み出し)で検出される。

【0007】つまり、メモリセルのしきい値が0Vに対してマージンを持って、0.5V以上にならないと、選択メモリセルで電流が流れ、“1”書き込み不足と検出される。“0”書き込み状態にするメモリセルでは当然電流が流れるため、このメモリセルが“1”書き込み不足と誤認されないよう、メモリセルを流れる電流を補償するペリファイ回路と呼ばれる回路が設けられる。このペリファイ回路によって高速に書き込みペリファイは実行される。

【0008】書き込み動作と書き込みペリファイを繰り返しながらデータ書き込みをすることで、個々のメモリセルに対して書き込み時間が最適化され、“1”書き込み後のしきい値は0VからVccの間に制御される。

【0009】このNANDセル型EEPROMで、多値記憶を実現するため、例えば書き込み後の状態を

“0”, “1”, “2”的3つにすることを考える。

“0”書き込み状態はしきい値が負、“1”書き込み状態はしきい値が例えば0Vから1/2Vcc、“2”書き込み状態はしきい値が1/2VccからVccまでとする。従来のペリファイ回路では、“0”書き込み状態にするメモリセルを、“1”又は“2”書き込み不足のメモリセルと誤認されることを防ぐことはできる。

【0010】しかしながら、従来のペリファイ回路は多値記憶用でないため、“2”書き込み状態にするメモリセルで、そのしきい値が、“1”書き込み不足か否かを

検出するためのペリファイ電圧以上で1/2Vcc以下の書き込み不足状態である場合、“1”書き込み不足か否かを検出する時にメモリセルで電流が流れず書き込み十分と誤認されてしまうという難点があった。

【0011】また、書き込み不足の誤認を防止して多値の書き込みペリファイを行うには、“1”書き込み十分となったメモリセルに対し、“2”書き込み状態にするメモリセルには再書き込みを行い、“2”書き込み不足で状態であるか否かを検出してペリファイ書き込みを行うようにすればよい。しかしこの場合、“2”書き込み状態にするメモリセルに対しても“1”書き込みの後に“2”書き込み状態にするので、書き込みに時間がかかり書き込み速度が遅くなる。

【0012】

【発明が解決しようとする課題】以上のように従来のNANDセル型EEPROMに多値記憶させ、従来のペリファイ回路でビット毎ペリファイを行おうとすると、誤ペリファイが生じるという問題があった。

【0013】本発明は、上記事情を考慮してなされたもので、その目的とするところは、多値の情報を記憶することができ、かつ誤ペリファイを招くことなく書き込みペリファイ動作の高速化をはかり得るEEPROMを提供することにある。

【0014】

【課題を解決するための手段】本発明は上記課題を解決するために、次のような構成を採用している。即ち、本発明(請求項1)は、多値データを記憶可能な不揮発性半導体記憶装置において、電気的書き替えを可能とした3以上の複数の記憶状態を持たせたメモリセルがマトリクス状に配置されたメモリセルアレイと、複数のメモリセルの書き込み動作状態を制御するデータを一時記憶するための複数の書き込みデータ回路と、同時にメモリセルアレイ中の複数のメモリセルにそれぞれ対応する書き込みデータ回路の内容に応じて書き込み動作を行うための書き込み手段と、同時に複数のメモリセルの書き込み動作後の状態を確認するための書き込みペリファイ手段と、書き込みデータ回路の内容とメモリセルの書き込み動作後の状態から書き込み不十分のメモリセルに対してのみ再書き込みを行うように、書き込みデータ回路の内容を更新する手段とを備え、書き込みデータ回路の内容に基づく書き込み動作と、書き込みペリファイと、書き込みデータ回路の内容更新を、メモリセルが所定の書き込み状態になるまで繰り返しながら行うことにより電気的にデータ書き込みを行うことを特徴とする。

【0015】また、本発明(請求項2)は、電気的書き替えを可能としたメモリセルがマトリクス状に配置されたメモリセルアレイを有し、1つのメモリセルに3以上の複数の記憶状態として任意のデータ“i”(i=0, 1, ..., n-1; n≥3)を持たせ多値記憶し、データ“0”に対応する記憶状態は消去状態である不揮発性半

導体記憶装置において、センスアンプとして機能し、センスした情報をメモリセルの書き込み動作状態を制御するデータとして記憶する機能を兼ね備えた複数のデータ回路と、同時にメモリセルアレイ中の複数のメモリセルにそれぞれ対応するデータ回路の内容に応じて書き込み動作を行うための書き込み手段と、同時に複数のメモリセルの書き込み動作後の状態がデータ“i”的記憶状態になっているか否かを確認するための第iの書き込みベリファイ手段と（i=1, 2, ~, n-1）、データ回路の内容とメモリセルの書き込み動作後の状態から書き込み不十分のメモリセルに対してのみ再書き込みを行うようにデータ回路の内容を、データ“i”となるべきメモリセルに対応するデータ回路について一括更新する第iのデータ回路内容一括更新手段（i=1, ~, n-1）と、第iの書き込みベリファイ手段による記憶状態の確認と第iのデータ回路内容一括更新手段による一括更新を、データ“1”からデータ“n-1”に関してn-1回行い、複数のデータ回路全てについて内容更新するデータ回路内容更新手段とを備え、第iのデータ回路内容一括更新手段は、第iの書き込みベリファイ手段によりメモリセルの書き込み動作後の状態が outputされるビット線電位のうち、データ“i”（i≥1）となるべきメモリセルに対応するビット線電位が再書き込みデータとしてセンス／記憶され、データ“i”以外の状態となるべきメモリセルに対応するビット線電位はデータ回路の内容を保持するようセンス／記憶されるよう、メモリセルの書き込み動作後の状態が outputされるビット線の電位をデータ回路の内容に応じて修正し、ビット線電位が修正されるまではデータ回路のデータ記憶状態を保持し、修正されたビット線電位を保持したままデータ回路をセンスアンプとして動作させ、データ回路の内容をデータ“i”となるべきメモリセルに対応するデータ回路について一括更新を行い、データ回路の内容に基づく書き込み動作とデータ回路内容更新を、メモリセルが所定の書き込み状態になるまで繰り返しながら行うことにより電気的にデータ書き込みを行うことを特徴とする。

【0016】ここで、本発明の望ましい実施態様としては、次のものがあげられる。

- (1) データ回路は、書き込み動作時にデータ回路に記憶されているデータに応じてメモリセルの書き込み動作状態を制御し、メモリセルの状態を所定の書き込み状態になるよう変化させるか、又はメモリセルの状態を書き込み動作前の状態に保持するかを制御すること。
- (2) 第iのデータ回路内容一括更新手段は、データ“i”的書き込み状態になるべきメモリセルに対応するデータ回路について、メモリセルをデータ“i”的書き込み状態になるよう変化させるよう制御するデータが記憶されているデータ回路に対応するメモリセルがデータ“i”的書き込み状態に達している場合は、データ回路のデータをメモリセルの状態を書き込み動作前の状態に

保持するよう制御するデータに変更し、メモリセルをデータ“i”的書き込み状態になるよう変化させるよう制御するデータが記憶されているデータ回路に対応するメモリセルがデータ“i”的書き込み状態に達していない場合は、メモリセルの状態をデータ“i”的書き込み状態になるよう変化させるよう制御するデータをデータ回路に設定し、データ回路にメモリセルの状態を書き込み動作前の状態に保持するよう制御するデータが記憶されている場合は、メモリセルの状態を書き込み動作前の状態に保持するよう制御するデータをデータ回路に設定し、第iのデータ回路内容一括更新手段は、データ“i”以外の書き込み状態になるべきメモリセルに対応するデータ回路については変更しないこと。

(3) メモリセルは半導体層上に電荷蓄積層と制御ゲートを積層形成して構成され、メモリセルは3以上の複数の記憶状態として任意のデータ“i”（i=0, 1, ~, n-1；n≥3）をしきい値の大きさで多値記憶し、第iの書き込みベリファイ手段によって制御ゲートに所定の第iのベリファイ電位を印加し、データ“i”状態になるべきメモリセルのしきい値が所望のしきい値であるか否かをベリファイすること。

(4) データ“0”に対応する記憶状態は消去状態であって、データ“n-1”状態に対応するしきい値はデータ“0”状態に対応するしきい値と最も差が大きく、データ“1”, “2”, ~, “i”, ~, “n-2”状態に対応するしきい値はデータ“0”状態に対応するしきい値からデータ“n-1”状態に対応するしきい値の間の値であって、データ“0”状態に対応するしきい値から近い順にデータ“1”, “2”, ~, “i”, ~, “n-2”状態に対応するしきい値はなっていて、第iの書き込みベリファイ手段によってメモリセルの書き込み後の状態が outputされるビット線電位の中で、データ回路の内容がメモリセルの状態を書き込み動作前の状態に保持するよう制御するデータであるものに対応するビット線の電位のみを、データ回路でセンスした場合にメモリセルの状態を書き込み動作前の状態に保持するよう制御するデータとなるような第1の補正ビット線電位に設定する第1のビット線電位設定回路を備え、第i（1≤i≤n-2）の書き込みベリファイ手段によってメモリセルの書き込み後の状態が outputされるビット線電位のうち、データ“j”（i+1≤j）状態になるべきメモリセルに対応するビット線の中で、データ回路の内容がメモリセルの状態をデータ“j”的書き込み状態になるよう変化させるよう制御するデータとなっているものに対応するビット線電位のみを、データ回路でセンスした場合にメモリセルの状態をデータ“j”的書き込み状態になるよう変化させるよう制御するデータとなるような第2の補正ビット線電位に設定する第jのビット線電位設定回路を備え、データ回路内容更新のため、第iの書き込みベリファイによりメモリセルの書き込み動作後の状態が出

力されるビット線の電位をデータ回路の内容に応じて第1, i+1, i+2, ~, n-1のビット線電位設定回路によって修正すること。

(5) データ回路は、メモリセルの状態を書き込み動作前の状態に保持するよう制御するか否かを情報として記憶する第1のデータ記憶部と、第1のデータ記憶部の情報がメモリセルの状態を書き込み動作前の状態に保持するよう制御しない情報の場合メモリセルが記憶すべき書き込み状態“i”(i=1, 2, ~, n-1)を示す情報を記憶する第2のデータ記憶部と、から構成され、第1のデータ記憶部は、データ回路内容更新のためデータ回路の内容に応じて第1, i+1, i+2, ~, n-1のビット線電位設定回路によって修正された、第iの書き込みペリファイによりメモリセルの書き込み動作後の状態が出力されるビット線の電位を、センス/記憶する機能を兼ね備えること。

(6) 第1のデータ記憶部の情報がメモリセルの状態を書き込み動作前の状態に保持するよう制御する情報である場合、書き込み動作時にビット線に書き込み防止ビット線電圧を出力する書き込み防止ビット線電圧出力回路と、第1のデータ記憶部の情報がメモリセルの状態を書き込み動作前の状態に保持するよう制御しない情報の場合、第2のデータ記憶部のメモリセルが記憶すべき書き込み状態“i”(i=1, 2, ~, n-1)を示す情報に応じて第iの書き込み時のビット線電圧を出力する第iの書き込みビット線電圧出力回路とを備えたこと。

(7) 第1のビット線電位設定回路と書き込み防止ビット線電圧出力回路は共通の第1のビット線電圧制御回路であって、その入力電圧は、書き込み時はその出力が書き込み防止ビット線電圧となるような電圧でありデータ回路内容更新時はその出力が第1の補正ビット線電位となるような電圧であり、第j(j=2, 3, ~, n-1)のビット線電位設定回路と第jの書き込みビット線電圧出力回路は共通の第jのビット線電圧制御回路であって、その入力電圧は、書き込み時はその出力が第jの書き込みビット線電圧となるような電圧でありデータ回路内容更新時はその出力が第2の補正ビット線電位となるような電圧であること。

(8) メモリセルは半導体層上に電荷蓄積層と制御ゲートが積層形成され構成され、複数個づつ直列接続されNANDセル構造を形成していること。

(9) メモリセルは半導体層上に電荷蓄積層と制御ゲートが積層形成され構成され、NORセル構造を形成していること。

【0017】

【作用】本発明に係わる多値(n値)記憶型EEPROMは、ペリファイ読み出し動作をn-1個の基本動作サイクルから行われるよう構成される。消去状態を“0”とし多値レベルをメモリセルのしきい値の低い順に“0”, “1”, ~, “i”, ~, “n-1”とする

と、i番目のサイクルでは“i”書き込みが十分か否かだけをペリファイするよう構成される。このため、選択された制御ゲートに、“i”書き込み不十分であればメモリセルで電流が流れるように、i番目のサイクルで所定のiレベルのペリファイ電圧を印加するペリファイ電位発生回路を備え、ビット線の電圧を検知することで書き込み十分か否かを検出するセンスアンプを備える。i番目のサイクルで、“0”, ~, “i-1”書き込みをするメモリセルのビット線は、既に書き込み十分と検出されればメモリセルの電流は補償され、書き込み不十分であると検出されればメモリセルの電流は補償されないと検出されればメモリセルの電流が流れたようにビット線電圧を設定する第2のペリファイ回路が設けられる。

【0018】また、書き込み十分か否かをデータとして記憶する第1のレジスタと、書き込む多値レベルが“1”, ~, “n-1”的うちのいずれかを記憶する第2のレジスタを備え、第1のレジスタは書き込み十分か否かを検出するセンスアンプの機能も兼ね備える。さらに所望の書き込み状態に達していないメモリセルがあれば、そのメモリセルのみに再書き込みが行われるよう、所望の書き込み状態に応じて書き込み時のビット線電圧を出力するビット線書き込み電圧出力回路を備えたことを特徴としている。

【0019】本発明においては、多値データ書き込みを行った後、個々のメモリセルの書き込み状態がその所望の多値レベル状態に達しているか否かが検出される。そして、所望の多値レベルに達していないメモリセルがあれば、そのメモリセルのみに再書き込みが行われるよう、所望の書き込み状態に応じて書き込み時のビット線電圧が出力される。この書き込み動作とペリファイ読み出しを繰り返し、全てのメモリセルが所望の書き込み状態に達していることを確認したらデータ書き込みを終了する。

【0020】このようにして本発明によれば、1回の書き込み時間を短くして、書き込み状態の進行の程度をチェックしながら小刻みに書き込み動作を繰り返すことによって、最終的にデータ書き込みが終了したメモリセルのしきい値を小さくすることを、高速に行うことができる。

【0021】

【実施例】以下、本発明の実施例を図面を参照して説明する。図1は、本発明の第1の実施例に係わるNANDセル型EEPROMの概略構成を示すブロック図である。

【0022】メモリセルアレイ1に対して、読み出し/

書き込み時のビット線を制御するためのビット線制御回路2と、ワード線電位を制御するためのワード線駆動回路7が設けられる。ビット線制御回路2、ワード線駆動回路7は、それぞれカラム・デコーダ3、ロウ・デコーダ8によって選択される。ビット線制御回路2は、データ入出力線(I/O線)を介して入出力データ変換回路5と読み出しデータ/書き込みデータのやり取りを行う。入出力データ変換回路5は、読み出されたメモリセルの多値情報を外部に出力するため2値情報に変換し、外部から入力された書き込みデータの2値情報をメモリセルの多値情報を変換する。入出力データ変換回路5は、外部とのデータ入出力を制御するデータ入出力バッファ6に接続される。データ書き込み終了検知回路4はデータ書き込みが終了したか否かを検知する。

【0023】図2、図3は、メモリセルアレイ1とビット線制御回路2の具体的な構成を示している。メモリセルM1～M8と選択トランジスタS1、S2で、NAND型セルを構成する。NAND型セルの一端はビット線BLに接続され、他端は共通ソース線Vsと接続される。選択ゲートSG1、SG2、制御ゲートCG1～CG8は、複数個のNAND型セルで共有され、1本の制御ゲートを共有するメモリセルはページを構成する。メモリセルはそのしきい値Vtでデータを記憶し、Vtが0V以下である場合“0”データ、Vtが0V以上1.5V以下の場合“1”データ、Vtが1.5V以上電源電圧以下の場合“2”データとして記憶する。1つのメモリセルで3つの状態を持たせ、2つのメモリセルで9通りの組み合わせができる。この内、8通りの組み合わせを用いて、2つのメモリセルで3ビット分のデータを記憶する。この実施例では、制御ゲートを共有する隣合う2つのメモリセルの組で3ビット分のデータを記憶する。また、メモリセルアレイ1は専用のpウェル上に形成されている。

【0024】クロック同期式インバータCI1、CI2とCI3、CI4でそれぞれフリップ・フロップを構成し、書き込み/読み出しデータをラッチする。また、これらはセンス・アンプとしても動作する。クロック同期式インバータCI1、CI2で構成されるフリップ・フロップは、「“0”書き込みをするか、“1”又は“2”書き込みをするか」、書き込みデータ情報をとしてラッチし、メモリセルが「“0”的情報を保持しているか、“1”又は“2”的情報を保持しているか」、を読み出しデータ情報をとしてラッチする。クロック同期式インバータCI3、CI4で構成されるフリップ・フロップは、「“1”書き込みをするか、“2”書き込みをするか」、書き込みデータ情報をとしてラッチし、メモリセルが「“2”的情報を保持しているか、“0”又は“1”的情報を保持しているか」、を読み出しデータ情報をとしてラッチする。

【0025】nチャネルMOSトランジスタの内で、Q

n1は、プリチャージ信号PREが“H”となると電圧VPRをビット線に転送する。Qn2は、ビット線接続信号BLCが“H”となってビット線と主要なビット線制御回路を接続する。Qn3～Qn6、Qn9～Qn12は、上述のフリップ・フロップにラッチされているデータに応じて、電圧VBLH、VBLM、VBLを選択的にビット線に転送する。Qn7、Qn8はそれぞれ信号SAC2、SAC1が“H”となることでフリップ・フロップとビット線を接続する。Qn13は、フリップ・フロップにラッチされている1ページ分のデータが全て同じか否かを検出するため設けられる。Qn14、Qn15とQn16、Qn17はそれぞれカラム選択信号CSL1、CSL2が“H”となって、対応するフリップ・フロップとデータ入出力線IOA、IOBを選択的に接続する。

【0026】なお、図3においてインバータ部分を図19(a)に示すように省略して示しているが、これは図19(b)に示す回路構成となっている。次に、このように構成されたEEPROMの動作を図4～図6に従って説明する。図4は読み出し動作のタイミング、図5は書き込み動作のタイミング、図6はベリファイ読み出し動作のタイミングを示している。いずれも制御ゲートCG4が選択された場合を例に示してある。

【0027】読み出し動作は、2つの基本サイクルで実行される。読み出し第1サイクルは、まず電圧VPRが電源電圧Vccとなってビット線はプリチャージされ、プリチャージ信号PREが“L”となってビット線はフローティングにされる。続いて、選択ゲートSG1、SG2、制御ゲートCG1～CG3、CG5～CG8はVccとされる。同時に制御ゲートCG4は1.5Vにされる。選択されたメモリセルのVtが1.5V以上の場合のみ、つまりデータ“2”が書き込まれている場合のみ、そのビット線は“H”レベルのまま保持される。

【0028】この後、センス活性化信号SEN2、SEN2Bがそれぞれ“L”、“H”、ラッチ活性化信号LAT2、LAT2Bがそれぞれ“L”、“H”となって、クロック同期式インバータCI3、CI4で構成されるフリップ・フロップはリセットされる。信号SAC2が“H”となってクロック同期式インバータCI3、CI4で構成されるフリップ・フロップとビット線は接続され、まずセンス活性化信号SEN2、SEN2Bがそれぞれ“H”、“L”となってビット線電位がセンスされた後、ラッチ活性化信号LAT2、LAT2Bがそれぞれ“H”、“L”となり、クロック同期式インバータCI3、CI4で構成されるフリップ・フロップに、「“2”データか、“1”又は“0”データか」の情報をラッチされる。

【0029】読み出し第2サイクルは読み出し第1サイクルと、選択制御ゲートCG4の電圧が1.5Vでなく0Vであること、信号SEN2、SEN2B、LAT2、LAT2B、SAC2の代わりに信号SEN1、SEN1

B, LAT1, LAT1B, SAC1 が出力されることが違う。よって、読み出し第2サイクルでは、クロック同期式インバータ C11, C12 で構成されるフリップ・フロップに、「“0”データか、“1”又は“2”データか」の情報がラッチされる。

【0030】以上説明した2つの読み出しサイクルによって、メモリセルに書き込まれたデータが読み出される。データ書き込みに先だってメモリセルのデータは消去され、メモリセルのしきい値 V_t は 0V 以下となっている。消去は p ウェル、共通ソース線 V_s 、選択ゲート SG1, SG2 を 20V にし、制御ゲート CG1 ~ CG8 を 0V として行われる。

【0031】書き込み動作では、まずプリチャージ信号 PRE が “L” となってビット線がフローティングにされる。選択ゲート SG1 が V_{cc} 、制御ゲート CG1 ~ CG8 が V_{cc} とされる。選択ゲート SG2 は書き込み動作中 0V である。同時に、信号 VRFY1, VRFY2, FIM, FIH が V_{cc} となる。“0”書き込みの場合は、クロック同期式インバータ C11, C12 で構成されるフリップ・フロップに、クロック同期式インバータ C11 の出力が “H” になるようにデータがラッチされているため、ビット線は V_{cc} により充電される。“1”又は“2”書き込みの場合は、ビット線は 0V である。

【0032】続いて、選択ゲート SG1、制御ゲート CG1 ~ CG8、信号 BLC、信号 VRFY1 と電圧 VSA が 10V、電圧 VBLH が 8V、電圧 VBLM が 1V となる。“1”書き込みの場合は、クロック同期式インバータ C13, C14 で構成されるフリップ・フロップに、クロック同期式インバータ C13 の出力が “H” になるようにデータがラッチされているため、ビット線 BL には 1V が印加される。“2”書き込みの場合はビット線は 0V、“0”書き込みの場合は 8V となる。この後、選択された制御ゲート CG4 が 20V とされる。

【0033】“1”又は“2”書き込みの場合は、ビット線 BL と制御ゲート CG4 の電位差によって電子がメモリセルの電荷蓄積層に注入され、メモリセルのしきい値は上昇する。“1”書き込みの場合は、“2”書き込みに比較してメモリセルの電荷蓄積層に注入すべき電荷量を少なくしなければならないため、ビット線 BL を 1V にして制御ゲート CG4 との電位差を 19V に緩和している。但し、この電位差の緩和はなくとも実施可能である。“0”書き込み時は、ビット線電圧 8V によってメモリセルのしきい値は実効的には変わらない。

【0034】書き込み動作の終了時は、まず選択ゲート SG1、制御ゲート CG1 ~ CG8 を 0V とし、“0”書き込み時のビット線 BL の電圧 8V は遅れて 0V にリセットされる。この順序が反転すると一時的に “2” 又は “1” 書き込み動作の状態ができる、“0” 書き込み時に間違ったデータを書いてしまうからである。

【0035】書き込み動作後に、メモリセルの書き込み

状態を確認し書き込み不足のメモリセルにのみ追加書き込みを行うため、ペリファイ読み出しが行われる。ペリファイ読み出し中は、電圧 VBLH は V_{cc} 、VBLL は 0V、FIM は 0V である。

【0036】ペリファイ読み出しが、2つの基本サイクルから実行される。この基本サイクルは読み出し第2サイクルに似ている。違うのは、選択された制御ゲート CG4 の電圧と、信号 VRFY1, VRFY2, FIH が、出力されることである（ペリファイ読み出し第1サイクルでは VRFY1 のみ）。信号 VRFY1, VRFY2, FIH は、選択ゲート SG1, SG2、制御ゲート CG1 ~ CG8 が 0V にリセットされた後で信号 SEN1, SEN1B, LAT1, LAT1B がそれぞれ “L”, “H”, “L”, “H” になる前に出力される。言い替えると、ビット線の電位がメモリセルのしきい値によって決定した後で、クロック同期式インバータ C11, C12 で構成されるフリップ・フロップがリセットされる前である。選択された制御ゲート CG4 の電圧は、読み出し時の 1.5V (第1サイクル)、0V (第2サイクル) に対応して、2V (第1サイクル)、0.5V (第2サイクル) と、0.5V のしきい値マージンを確保するために高くしてある。

【0037】ここでは、クロック同期式インバータ C1, C12 で構成されるフリップ・フロップにラッチされているデータ (data1)、クロック同期式インバータ C13, C14 で構成されるフリップ・フロップにラッチされているデータ (data2) と選択されたメモリセルのしきい値によって決まるビット線 BL の電圧を説明する。data1 は「“0”書き込みか、“1”又は“2”書き込みか」を制御し、“0”書き込みの場合は Q_{n3} は “ON” 状態、“1”又は“2”書き込みの場合は Q_{n6} が “ON” 状態である。data2 は「“1”書き込みか、“2”書き込みか」を制御し、“1”書き込みの場合は Q_{n10} は “ON” 状態、“2”書き込みの場合は Q_{n11} が “ON” 状態である。

【0038】“0”データ書き込み時 (初期書き込みデータが “0”) のペリファイ読み出し第1サイクルでは、メモリセルのデータが “0” であるから、制御ゲート CG4 が 2V になるとメモリセルによってビット線電位は “L” となる。その後信号 VRFY1 が “H” となることでビット線 BL は “H” となる。

【0039】“1”データ書き込み時 (初期書き込みデータが “1”) のペリファイ読み出し第1サイクルでは、メモリセルのデータが “1” となるはずであるからメモリセルのしきい値は 1.5V 以下で、制御ゲート CG4 が 2V になるとメモリセルによってビット線電位は “L” となる。その後信号 VRFY1 が “H” となることで、既に “1” 書き込み十分で data1 が “0” 書き込みを示している場合ビット線 BL は “H” (図6の(1))、さもなくばビット線 BL は “L” (図6の(2))

)となる。

【0040】“2”データ書き込み時（初期書き込みデータが“2”）のベリファイ読み出し第1サイクルでは、選択メモリセルのデータが“2”となっていない（“2”書き込み不十分）場合、制御ゲートCG4が2Vになるとメモリセルによってビット線電位は“L”となる（図6の(5)）。選択メモリセルが“2”書き込み十分になっている場合、制御ゲートCG4が2Vになってもビット線電位は“H”的ままである（図6の(3)(4)）。図6の(3)は既に“2”書き込み十分でdata1が“0”書き込みを示している場合である。この場合、信号VRFY1が“H”となることで、電圧VBHによってビット線BLは再充電される。

【0041】“0”データ書き込み時（初期書き込みデータが“0”）のベリファイ読み出し第2サイクルでは、メモリセルのデータが“0”であるから、制御ゲートCG4が0.5Vになるとメモリセルによってビット線電位は“L”となる。その後、信号VRFY1が“H”となることでビット線BLは“H”となる。

【0042】“1”データ書き込み時（初期書き込みデータが“1”）のベリファイ読み出し第2サイクルでは、選択メモリセルのデータが“1”となっていない（“1”書き込み不十分）場合、制御ゲートCG4が0.5Vになるとメモリセルによってビット線電位は“L”となる（図6の(8)）。選択メモリセルが“1”書き込み十分になっている場合、制御ゲートCG4が0.5Vになってもビット線電位は“H”的ままである（図6の(6)(7)）。図6の(6)は既に“1”書き込み十分でdata1が“0”書き込みを示している場合である。この場合信号VRFY1が“H”となることで、電圧VBHによってビット線BLは再充電される。

【0043】“2”データ書き込み時（初期書き込みデータが“2”）のベリファイ読み出し第2サイクルでは、メモリセルのデータが“2”となるのはあるからメモリセルのしきい値が0.5V以上であれば“2”書き込み十分でも不十分でも、制御ゲートCG4が0.5Vになってもビット線電位は“H”的ままである（図6の(9)(10)）。“2”書き込み不十分でメモリセルのしきい値が0.5V以下の場合、ビット線は“L”となる（図6の(11)）。

【0044】その後、信号VRFY1, VRFY2, FIHが“H”となることで、既に“2”書き込み十分でdata1が“0”書き込みを示している場合ビット線BLは“H”（図6の(9)）、さもなくばビット線BL

は“L”（図6の(10)(11)）となる。このベリファイ読み出し動作によって、書き込みデータとメモリセルの書き込み状態から再書き込みデータが下記の（表1）のように設定される。

【0045】

【表1】

書き込みデータ	0	0	0	1	1	2	2	2
セルのデータ	0	1	2	0	1	0	1	2
再書き込みデータ	0	0	0	1	0	2	2	0

（表1）から分かるように、“1”書き込み不足のメモリセルのみ再度“1”書き込みが行われ、“2”書き込み不足のメモリセルにのみ再度“2”書き込みが行われるようになっている。また、全てのメモリセルでデータ書き込みが十分になると、全てのカラムのQn13が“OFF”となり、信号PENDBによってデータ書き込み終了情報が出力される。

【0046】図7はデータの入出力動作タイミングを示しており、(a)はデータ入力タイミング、(b)はデータ出力タイミングである。外部からのデータ入力3サイクルの後、入出力データ変換回路5によって、ビット線制御回路2に入力するデータが発生され入力される。外部からの3ビット分のデータ(X1, X2, X3)は、2つのメモリセルのデータ(Y1, Y2)に変換され、実効的にはビット線制御回路2のクロック同期式インバータC11, C12で構成されるレジスタR1とC13, C14で構成されるレジスタR2に、データ入出力線IOA, IOBを介して変換データが設定される。レジスタR1, R2にラッチされている読み出しデータは、データ入出力線IOA, IOBを介して入出力データ変換回路5に転送され変換されて出力される。図3に見られるカラム選択信号CSL1iとCSL2iを同一信号にして、そのかわりIOA, IOBを2系統に分けて同一カラムの2つのレジスタを同時にアクセスすることも容易に可能で、アクセス時間を短くするためには効果的である。

【0047】下記の（表2）はデータ入力時の、外部からの3ビット分のデータ(X1, X2, X3)、メモリセルの2つのデータ(Y1, Y2)とY1, Y2それぞれに対応するレジスタR1, R2のデータの関係を示している。

【0048】

【表2】

入力データ			セルデータ		IOA線データ					
X ₁	X ₂	X ₃	Y ₁	Y ₂	セルY ₁	セルY ₂	レジスタR1	レジスタR2	レジスタR1	レジスタR2
0	0	0	0	0	H	-	H	-	H	-
0	0	1	0	2	H	-	L	L	L	L
0	1	0	0	1	H	-	L	H	L	L
0	1	1	1	2	L	H	L	L	L	L
1	0	0	1	0	L	H	H	-	H	-
1	0	1	1	1	L	H	L	H	L	H
1	1	0	2	0	L	L	H	-	H	-
1	1	1	2	1	L	L	L	H	L	H
メイン書き込み命令			2	2	L	L	L	L	L	L

【0049】レジスタのデータはデータ転送時の入出力線IOAの電圧レベルで表現してある。データ入出力線IOBはIOAの反転信号であるため省略してある。下

記の(表3)は、データ出力時のそれである。

【0050】

【表3】

IOA線データ				セルデータ		出力データ				
セルY ₁	セルY ₂	レジスタR1	レジスタR2	レジスタR1	レジスタR2	Y ₁	Y ₂	X ₁	X ₂	X ₃
L	L	L	L	0	0	0	0	0	0	0
L	L	H	H	0	2	0	0	0	1	
L	L	H	L	0	1	0	1	0	1	0
H	L	H	H	1	2	0	1	1	1	
H	L	L	L	1	0	1	0	0	0	0
H	L	H	L	1	1	1	0	1	0	1
H	H	L	L	2	0	1	1	1	1	0
H	H	H	L	2	1	1	1	1	1	1
H H		H	H	2	2	メインフラグ出力				

この実施例では同じデータに対して、入力時のIOAのレベルと出力時のIOAのレベルが反転するようになっている。

【0051】メモリセルの2つデータ(Y₁, Y₂)の9つの組み合わせのうち1つは余るため、これを例えればポインタ情報などファイル管理情報に利用することは可能である。ここではポインタ情報をセルデータ(Y₁, Y₂) = (2, 2)に対応させている。

【0052】図8は、EEPROMをコントロールするマイクロプロセッサなどから見たときの、データ書き込みの単位であるページの概念を示している。ここでは1ページをNバイトとしていて、マイクロプロセッサなどから見たときのアドレス(論理アドレス)を表示している。例えば、領域1(論理アドレス0～n)だけしか書き込みデータが入力されないと、n = 3m + 2 (m = 0, 1, 2, ...)であれば常に(X₁, X₂, X₃)が揃うので問題ない。n = 3mの場合はX₁しか入力され

ないので、EEPROM内部でX₂ = 0, X₃ = 0を発生して(X₁, X₂, X₃)を入出力データ変換回路5に入力する。n = 3m + 1の場合はX₃ = 0を内部で発生する。このnがNと等しいときも同様である。

【0053】領域1にデータ書き込みを行った(領域2の書き込みデータは全て“0”)後、追加的に領域2にデータ書き込みを行う場合、領域1の部分を読み出してそのデータに領域2の部分の書き込みデータを追加して入力すればよい。或いは、領域1の部分を読み出して、領域2の先頭アドレスn + 1 = 3mの場合は領域1のデータを全て“0”、n + 1 = 3m + 2の場合アドレスn - 1, nのデータをX₁, X₂としてアドレスn + 1のデータX₃に追加し領域1のアドレスn - 2までのデータを全て“0”、n + 1 = 3m + 1の場合アドレスnのデータをX₁としてアドレスn + 1, n + 2のデータX₂, X₃に追加し領域1のアドレスn - 1までのデータを全て“0”、としてもよい。これらの動作は、EEP

ROM内部で自動的に行うことも容易である。この追加データ書き込みが可能となるよう、(表2)及び(表3)に示してあるように(X_1, X_2, X_3)と(Y_1, Y_2)の関係は組まれている。(表2)及び(表3)に示してある(X_1, X_2, X_3)と(Y_1, Y_2)の関係は1つの例であってこれに限るものではない。また、領域は3以上でも同様に追加データ書き込みは行える。

【0054】図9(a)は、データ書き込みアルゴリズムを示している。データロード後、書き込み、ペリファイ読み出しと書き込み終了検出動作が繰り返し行われる。点線の中はEEPROM内で自動的に行われる。

【0055】図9(b)は、追加データ書き込みアルゴリズムを示している。読み出しとデータロード後、ペリファイ読み出し、書き込み終了検出と書き込み動作が繰り

り返し行われる。点線の中はEEPROM内で自動的に行われる。データロード後にペリファイ読み出しが行われるのは、既に“1”或いは“2”が書き込まれているところに書き込みが行われないようにするためである。そうないと過剰書き込みされる場合が生じる。

【0056】図10は、このように構成されたEEPROMでの、メモリセルのしきい値の書き込み特性を示している。“1”データが書き込まれるメモリセルと“2”データが書き込まれるメモリセルは同時に書き込みが行われ、それぞれ独立に書き込み時間が制御される。下記の(表4)に、消去、書き込み、読み出し、ペリファイ読み出し時のメモリセルアレイ各部の電位を示す。

【0057】

【表4】

	消去	書き込み “0” “1” “2”	読み出し		ペリファイ 読み出し	
			第1サイクル	第2サイクル	第1サイクル	第2サイクル
BL	20V	8V 1V 0V	“2” 読出し 時のみ “H”	“0” 読出し 時のみ “L”	図6 参照	
SG1	20V	10V		5V	5V	
CG1	0V	10V		5V	5V	
CG2	0V	10V		5V	5V	
CG3	0V	10V		5V	5V	
CG4	0V	20V	1.5V	0V	2V	0.5V
CG5	0V	10V		5V	5V	
CG6	0V	10V		5V	5V	
CG7	0V	10V		5V	5V	
CG8	0V	10V		5V	5V	
SG2	20V	0V		5V	5V	
V _s	20V	0V		0V	0V	
P _{well}	20V	0V		0V	0V	

【0058】図11は、本発明の第2の実施例におけるNORセル型EEPROMの、メモリセルアレイ1とビット線制御回路2の具体的な構成を示している。メモリセルM10のみで、NOR型セルを構成する。NOR型セルの一端はビット線BLに接続され、他端は共通接地線と接続される。1本の制御ゲートWLを共有するメモリセルMはページを構成する。メモリセルMはそのしきい値V_tでデータを記憶し、V_tがV_{cc}以上である場合“0”データ、V_tがV_{cc}以下2.5V以上の場合“1”データ、V_tが2.5V以下0V以上の場合“2”データとして記憶する。1つのメモリセルで3つ

の状態を持たせ、2つのメモリセルで9通りの組み合わせができる。この内、8通りの組み合わせを用いて、2つのメモリセルで3ビット分のデータを記憶する。この実施例では、制御ゲートを共有する隣合う2つのメモリセルの組で3ビット分のデータを記憶する。

【0059】クロック同期式インバータC15、C16とC17、C18でそれぞれフリップ・フロップを構成し、書き込み/読み出しデータをラッチする。また、これらはセンス・アンプとしても動作する。クロック同期式インバータC15、C16で構成されるフリップ・フロップは、「“0”書き込みをするか、“1”又は

“2”書き込みをするか」、を書き込みデータ情報としてラッチし、メモリセルが「0」の情報を保持しているか、「1」又は「2」の情報を保持しているか」、を読み出しデータ情報としてラッチする。クロック同期式インバータC17, C18で構成されるフリップ・フロップは、「1」書き込みをするか、「2」書き込みをするか」、を書き込みデータ情報としてラッチし、メモリセルが「2」の情報を保持しているか、「0」又は「1」の情報を保持しているか」、を読み出しデータ情報としてラッチする。

【0060】nチャネルMOSトランジスタの内、Qn18は、プリチャージ信号PREが“H”となると電圧VPRをビット線に転送する。Qn19は、ビット線接続信号BLCが“H”となってビット線と主要なビット線制御回路を接続する。Qn20～Qn23, Qn25～Qn28は、上述のフリップ・フロップにラッチされているデータに応じて、電圧VBLH, VBLM, 0Vを選択的にビット線に転送する。Qn24, Q29はそれぞれ信号SAC2, SAC1が“H”となることでフリップ・フロップとビット線を接続する。Qn30は、フリップ・フロップにラッチされている1ページ分のデータが全て同じか否かを検出するために設けられる。Qn31, Qn32とQn33, Qn34はそれぞれカラム選択信号CSL1, CSL2が“H”となって、対応するフリップ・フロップとデータ出入力線IOA, IOBを選択的に接続する。

【0061】次に、このように構成されたEEPROMの動作を図12～14に従って説明する。図12は読み出し動作のタイミング、図13は書き込み動作のタイミング、図14はベリファイ読み出し動作のタイミングを示している。

【0062】読み出し動作は、2つの基本サイクルで実行される。読み出し第1サイクルは、まず電圧VPRが電源電圧Vccとなってビット線はプリチャージされ、プリチャージ信号PREが“L”となってビット線はフローティングにされる。続いて、制御ゲートWLは2.5Vにされる。選択されたメモリセルのVtが2.5V以下の場合のみ、つまりデータ“2”が書き込まれている場合のみ、そのビット線は“L”レベルになる。

【0063】この後、センス活性化信号SEN2, SEN2Bがそれぞれ“L”, “H”、ラッチ活性化信号LAT2, LAT2Bがそれぞれ“L”, “H”となって、クロック同期式インバータC17, C18で構成されるフリップ・フロップはリセットされる。信号SAC2が“H”となってクロック同期式インバータC17, C18で構成されるフリップ・フロップとビット線は接続され、まずセンス活性化信号SEN2, SEN2Bがそれぞれ“H”, “L”となってビット線電位がセンスされた後、ラッチ活性化信号LAT2, LAT2Bがそれぞれ“H”, “L”となり、クロック同期式インバータC17, C18で構成されるフリップ・フロップに、

「“2”データか、“1”又は“0”データか」の情報がラッチされる。

【0064】読み出し第2サイクルは読み出し第1サイクルと、選択制御ゲートWLの電圧が2.5VでなくVccであること、信号SEN2, SEN2B, LAT2, LAT2B, SAC2の代わりに信号SEN1, SEN1B, LAT1, LAT1B, SAC1が出力されることが違う。よって、読み出し第2サイクルでは、クロック同期式インバータC15, C16で構成されるフリップ・フロップに、「0”データか、“1”又は“2”データか」の情報がラッチされる。

【0065】以上説明した2つの読み出しサイクルによって、メモリセルに書き込まれたデータが読み出される。データ書き込みに先だってメモリセルのデータは消去され、メモリセルのしきい値VtはVcc以上となっている。消去は、制御ゲートWLを20Vとしビット線を0Vにして行われる。

【0066】書き込み動作では、まずプリチャージ信号PREが“L”となってビット線がフローティングにされる。信号VRFY1, VRFY2, FIM, FILがVccとなる。“2”書き込みの場合は、クロック同期式インバータC15, C16で構成されるフリップ・フロップに、クロック同期式インバータC15の出力が“H”になるようにデータがラッチされているため、ビット線は0Vである。“1”又は“2”書き込みの場合は、ビット線はVccに充電される。

【0067】続いて、信号BLC, VRFY2, FIM, FILと電圧VSAが10V、電圧VBLHが8V、電圧VBLMが7Vとなる。“1”書き込みの場合は、クロック同期式インバータC17, C18で構成されるフリップ・フロップに、クロック同期式インバータC17の出力が“H”になるようにデータがラッチされているため、ビット線BLには7Vが印加される。“2”書き込みの場合はビット線は8V、“0”書き込みの場合は0Vとなる。この後、選択された制御ゲートWLが-12Vとされる。

【0068】“1”又は“2”書き込みの場合は、ビット線BLと制御ゲートWLの電位差によって電子がメモリセルの電荷蓄積層から放出され、メモリセルのしきい値は下降する。“1”書き込みの場合は、“2”書き込みに比較してメモリセルの電荷蓄積層から放出すべき電荷量を少なくしなければならないため、ビット線BLを7Vにして制御ゲートWLとの電位差を19Vに緩和している。“0”書き込み時は、ビット線電圧0Vによってメモリセルのしきい値は実効的には変わらない。

【0069】書き込み動作後に、メモリセルの書き込み状態を確認し書き込み不足のメモリセルにのみ追加書き込みを行うため、ベリファイ読み出しが行われる。ベリファイ読み出し中は、電圧VBLHはVcc、FIMは0Vである。

【0070】ベリファイ読み出しは、2つの基本サイクルから実行される。この基本サイクルは読み出し第2サイクルに似ている。違うのは、選択された制御ゲートWLの電圧と、信号VRFY1, VRFY2, FIHが出力されることである（ベリファイ読み出し第1サイクルではVRFY1のみ）。信号VRFY1, VRFY2, FIHは、制御ゲートWLが0Vにリセットされた後で信号SEN1, SEN1B, LAT1, LAT1Bがそれぞれ“L”, “H”, “L”, “H”になる前に出力される。言い替えると、ビット線の電位がメモリセルのしきい値によって決定した後で、クロック同期式インバータC15, C16で構成されるフリップ・フロップがリセットされる前である。選択された制御ゲートWLの電圧は、読み出し時の2.5V（第1サイクル）、Vcc（第2サイクル）に対応して、2V（第1サイクル）、4V（第2サイクル）と、しきい値マージンを確保するために低くしてある。

【0071】ここでは、クロック同期式インバータC15, C16で構成されるフリップ・フロップにラッチされているデータ（data1）、クロック同期式インバータC17, C18で構成されるフリップ・フロップにラッチされているデータ（data2）と選択されたメモリセルのしきい値によって決まるビット線BLの電圧を説明する。data1は「0」書き込みか、「1」又は「2」書き込みかを制御し、「0」書き込みの場合はQn20は“ON”状態、「1」又は「2」書き込みの場合はQn23が“ON”状態である。data2は「1」書き込みか、「2」書き込みかを制御し、「1」書き込みの場合はQn26は“ON”状態、「2」書き込みの場合はQn27が“ON”状態である。

【0072】“0”データ書き込み時（初期書き込みデータが“0”）のベリファイ読み出し第1サイクルでは、メモリセルのデータが“0”であるから、制御ゲートWLが2Vになどてもビット線電位は“H”的ままである。その後信号VRFY1が“H”となることでビット線BLは“L”となる。

【0073】“1”データ書き込み時（初期書き込みデータが“1”）のベリファイ読み出し第1サイクルでは、メモリセルのデータが“1”となるはずであるからメモリセルのしきい値は2.5V以上で、制御ゲートWLが2Vになどてもビット線電位は“H”的ままである。その後信号VRFY1が“H”となることで、既に“1”書き込み十分でdata1が“0”書き込みを示している場合ビット線BLは“L”（図14の(2)）、さもなくばビット線BLは“H”（図14の(1)）となる。

【0074】“2”データ書き込み時（初期書き込みデータが“2”）のベリファイ読み出し第1サイクルでは、選択メモリセルのデータが“2”となつてない（“2”書き込み不十分）場合、制御ゲートWLが2V

になつてもビット線電位は“H”である（図14の(3)）。選択メモリセルが“2”書き込み十分になつてゐる場合、制御ゲートWLが2Vになるとビット線電位はメモリセルによって“L”となる（図14の(4)(5)）。図14の(5)は既に“2”書き込み十分でdata1が“0”書き込みを示してゐる場合である。この場合、信号VRFY1が“H”となることで、ビット線BLは接地される。

【0075】“0”データ書き込み時（初期書き込みデータが“0”）のベリファイ読み出し第2サイクルでは、メモリセルのデータが“0”であるから、制御ゲートCG4が4Vになつてもビット線電位は“H”である。その後、信号VRFY1が“H”となることでビット線BLは“L”となる。

【0076】“1”データ書き込み時（初期書き込みデータが“1”）のベリファイ読み出し第2サイクルでは、選択メモリセルのデータが“1”となつてない（“1”書き込み不十分）場合、制御ゲートWLが4Vになつてもビット線電位は“H”である（図14の(6)）。選択メモリセルが“1”書き込み十分になつてゐる場合、制御ゲートWLが4Vになるとメモリセルによりビット線電位は“L”となる（図14の(7)(8)）。図14の(8)は既に“1”書き込み十分でdata1が“0”書き込みを示してゐる場合である。この場合、信号VRFY1が“H”となることで、ビット線BLは接地される。

【0077】“2”データ書き込み時（初期書き込みデータが“2”）のベリファイ読み出し第2サイクルでは、メモリセルのデータが“2”となるはずであるからメモリセルのしきい値が4V以下であれば“2”書き込み十分でも不十分でも、制御ゲートWLが4Vになるとビット線電位は“L”となる（図14の(10)(11)）。

“2”書き込み不十分でメモリセルのしきい値が4V以上の場合、ビット線は“H”になる（図14の(9)）。

【0078】その後、信号VRFY1, VRFY2, FIHが“H”となることで、既に“2”書き込み十分でdata1が“0”書き込みを示してゐる場合ビット線BLは“L”（図14の(11)）、さもなくばビット線BLは“H”（図14の(9)(10)）となる。

【0079】このベリファイ読み出し動作によって、書き込みデータとメモリセルの書き込み状態から再書き込みデータが、第1の実施例と同様に表1のように設定される。また、全てのメモリセルでデータ書き込みが十分になると、全てのカラムのQn30が“OFF”となり、信号PENDBによってデータ書き込み終了情報が 출력される。

【0080】データの入出力動作タイミング、データ書き込みアルゴリズム、追加データ書き込みアルゴリズムなどは、図7～9、（表2～3）に見られるように第1の実施例と同様である。

【0081】図15は、このように構成されたEEPROMでの、メモリセルのしきい値の書き込み特性を示している。“1”データが書き込まれるメモリセルと“2”データが書き込まれるメモリセルは同時に書き込みが行われ、それぞれ独立に書き込み時間が制御され

る。下記の(表5)は、消去、書き込み、読み出し、ベリファイ読み出し時のメモリセルアレイ各部の電位を示している。

【0082】

【表5】

	消去	書き込み '0' '1' '2'	読み出し		ベリファイ 読み出し	
			第1サイクル	第2サイクル	第1サイクル	第2サイクル
BL	0V	0V 7V 8V	“2”出し	“0”出し	図14参照	
WL	20V	-12V	時のみ “L”	時のみ “H”	2.5V	5V

【0083】図3、11に示した回路は、例えばそれぞれ図16、17のように変形できる。図16は、図3に見られるQn3、Qn4をpチャネルのMOSトランジスタQp1、Qp2に置き換えてある。図17は、図11に見られるQn22、Qn23、Qn25～Qn28をpチャネルのMOSトランジスタQp3～Qp8に置き換えてある。このようにすることで、nチャネルMOSトランジスタのしきい値による転送できる電圧の降下を防ぐことができ、この例では、電圧VSAを書き込み時に8Vまで上げればよく回路を構成するトランジスタの耐圧を下げることができる。図16のVRFY1Bは図2、3のVRFY1の反転信号、図17のVRFY2B、FILB、FIMBは図11のVRFY2、FIL、FIMのそれぞれ反転信号である。

【0084】図8で、追加データ書き込みについて説明したが、例えば図18のように追加データ書き込みを容易にするため、1ページを分割しておくことも1つの有効な方法である。この例では論理アドレス32番地毎にメモリセル22個で1つの領域を構成する。これによって領域単位での追加データ書き込みは容易となる。つまり領域2に追加データ書き込みをする場合、領域2以外の領域の書き込みデータを全て“0”として、図9(a)に見られるデータ書き込みアルゴリズムに従って行えばよい。1つの領域のサイズは図18に示している以外の大きさでもかまわない。また、1つのメモリセルに4つ以上の書き込み状態を設定する場合も、本発明の主旨に従えば可能である。

【0085】

【発明の効果】以上説明したように本発明によれば、回路面積の増大を抑制しながら、しかも1つのメモリセルに3つの書き込み状態を設定し、なおかつそれぞれのメモリセルのそれぞれの書き込み状態にするまでの書き込み時間を、書き込みベリファイ制御を行うことによって独立に最適化し、最終的に書き込まれたメモリセルのしきい値分布を高速に小さい範囲に収めることを可能としたEEPROMを得ることができる。

【図面の簡単な説明】

【図1】第1及び第2の実施例に係わるEEPROMの概略構成を示すブロック図。

【図2】第1の実施例におけるメモリセルアレイの具体的構成を示す図。

【図3】第1の実施例におけるビット線制御回路の具体的構成を示す図。

【図4】第1の実施例における読み出し動作を示すタイミング図。

【図5】第1の実施例における書き込み動作を示すタイミング図。

【図6】第1の実施例におけるベリファイ読み出し動作を示すタイミング図。

【図7】第1及び第2の実施例におけるデータの入出力動作を示すタイミング図。

【図8】第1及び第2の実施例における書き込み／読み出し単位のページの概念を示す図。

【図9】第1、第2の実施例におけるデータ書き込み及び追加データ書き込みアルゴリズムを示す図。

【図10】第1の実施例におけるメモリセルの書き込み特性を示す図。

【図11】第2の実施例におけるメモリセルアレイとビット線制御回路の構成を示す図。

【図12】第2の実施例における読み出し動作を示すタイミング図。

【図13】第2の実施例における書き込み動作を示すタイミング図。

【図14】第2の実施例におけるベリファイ読み出し動作を示すタイミング図。

【図15】第2の実施例におけるメモリセルの書き込み特性を示す図。

【図16】第1の実施例におけるビット線制御回路の変形例を示す図。

【図17】第2の実施例におけるビット線制御回路の変形例を示す図。

【図18】第1及び第2の実施例における追加データ書き込みの単位を示す図。

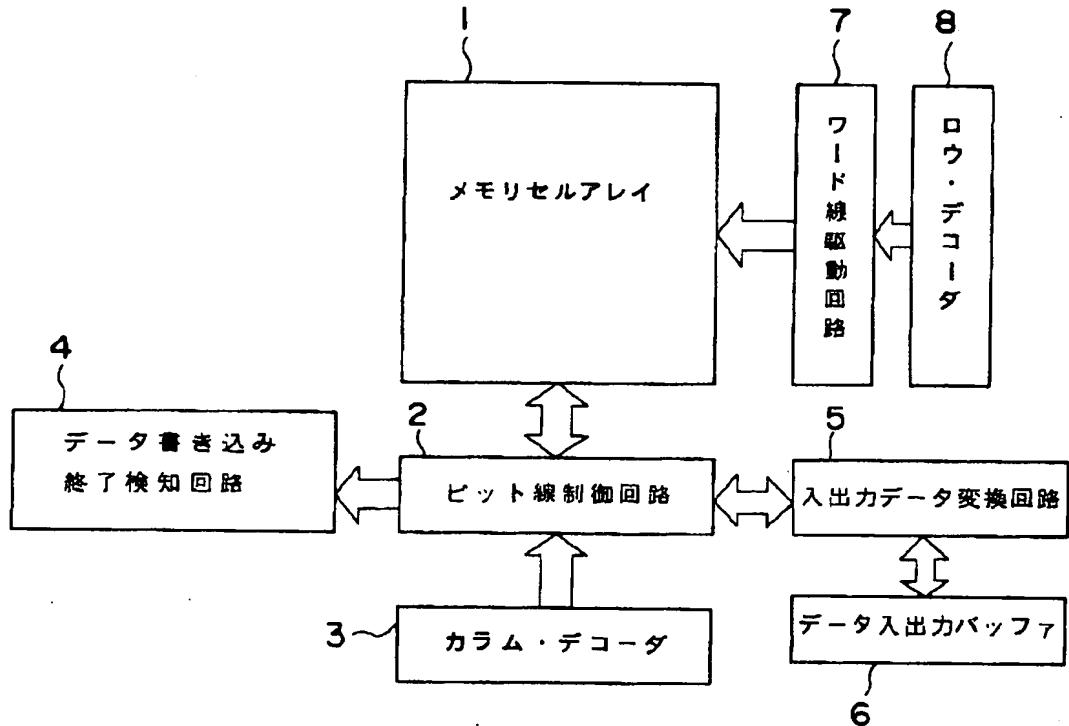
【図19】図3におけるインバータ部分の回路図。

【符号の説明】

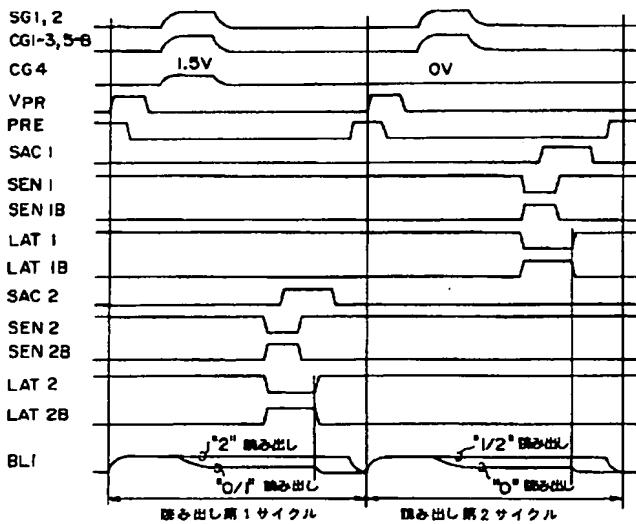
1…メモリセルアレイ
2…ピット線制御回路
3…カラム・デコーダ
4…データ書き込み終了検知回路

5…入出力データ変換回路
6…データ入出力バッファ
7…ワード線駆動回路
8…ロウ・デコーダ

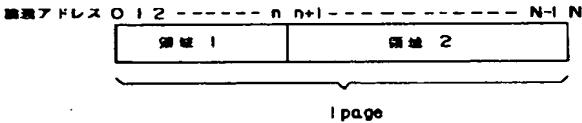
【図1】



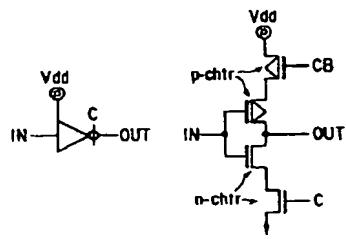
【図4】



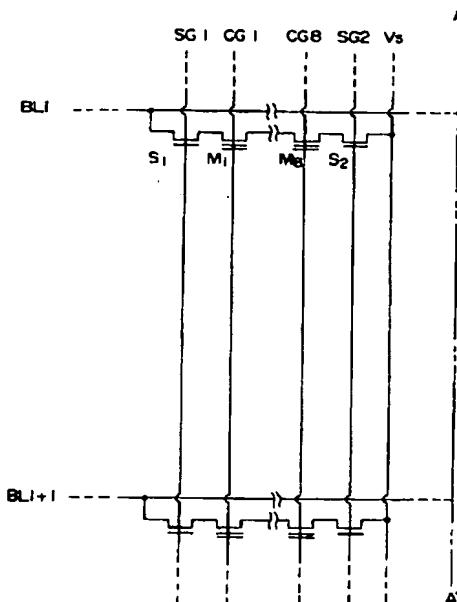
【図8】



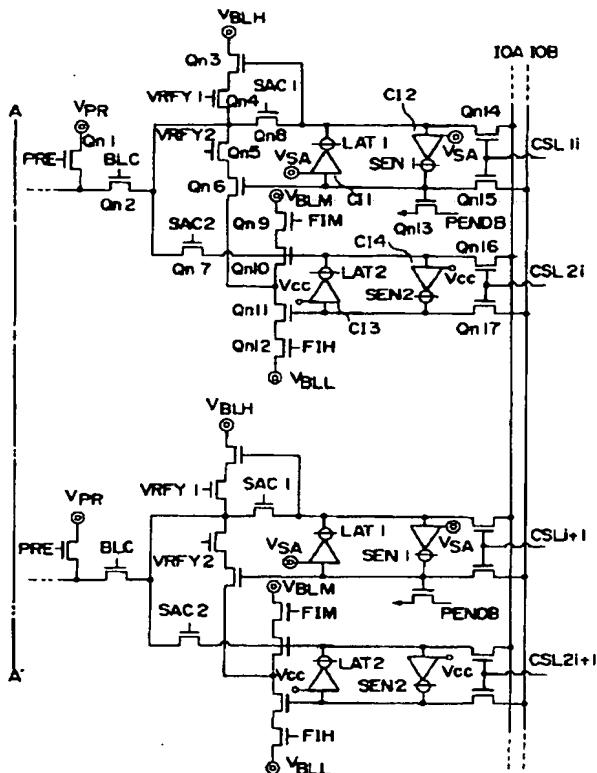
【図19】



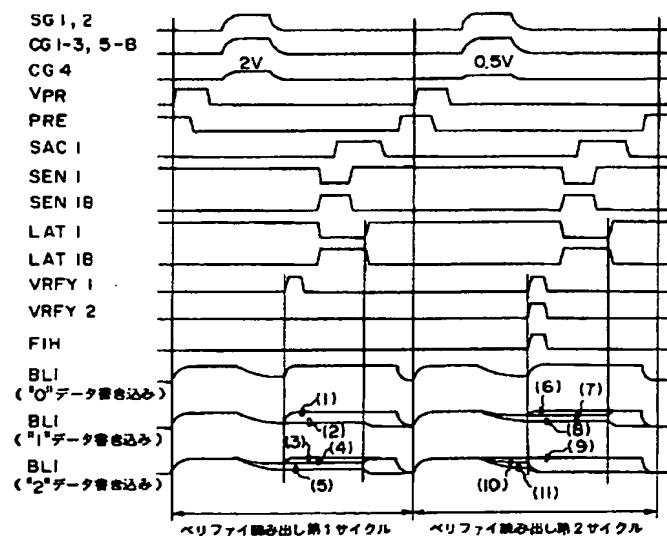
【図2】



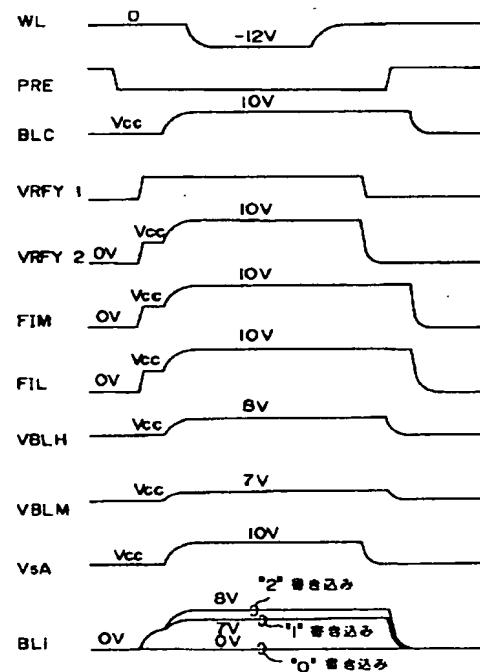
【図3】



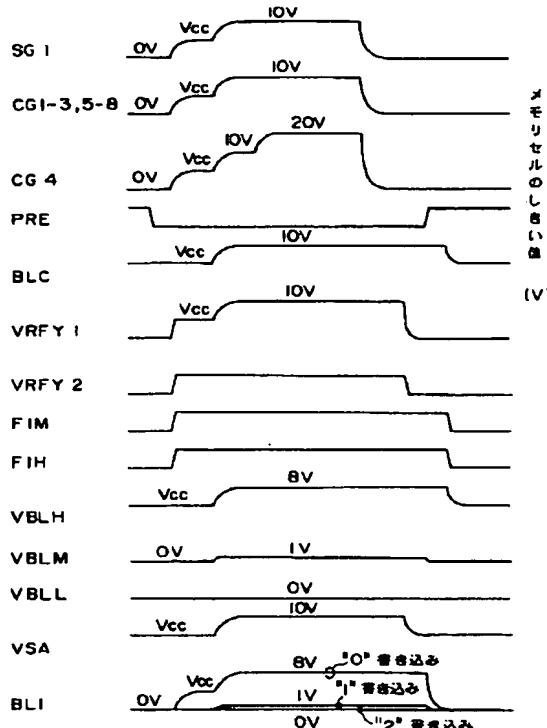
【図6】



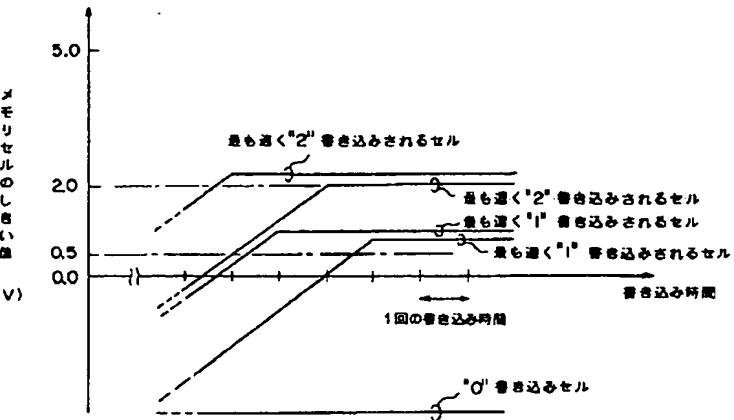
【図13】



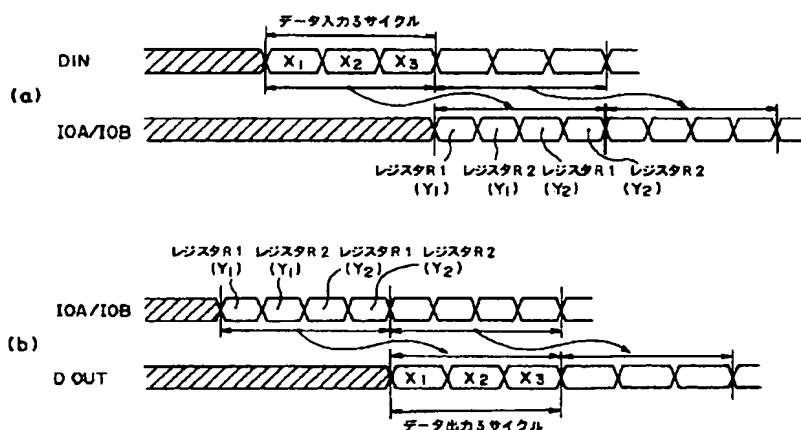
【図 5】



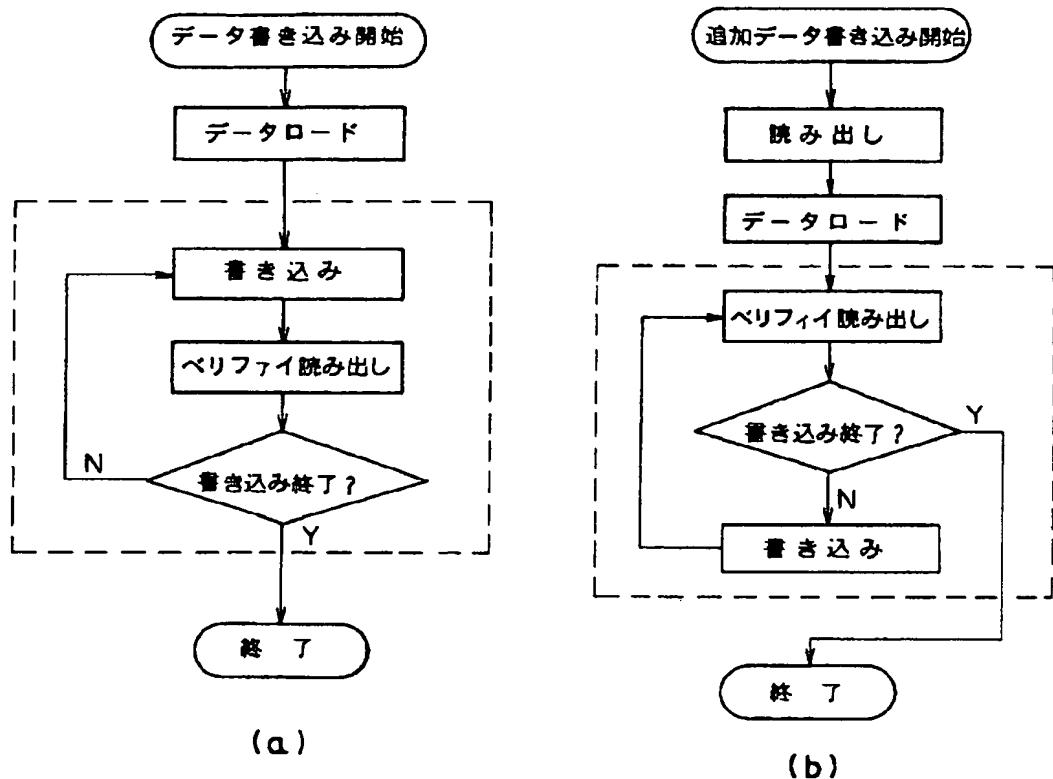
【図10】



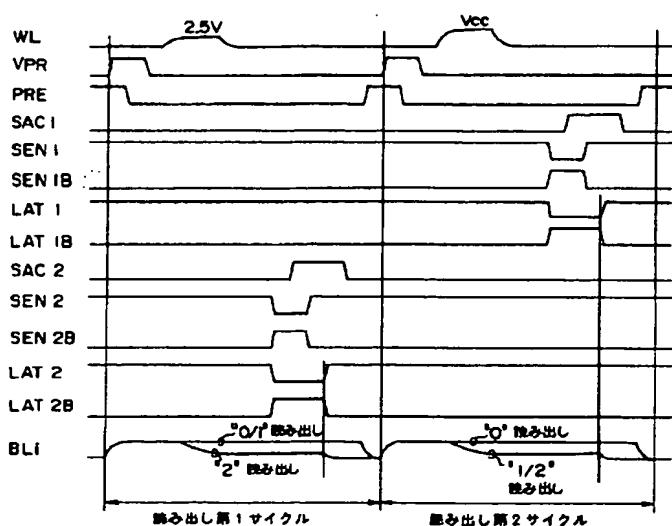
〔四七〕



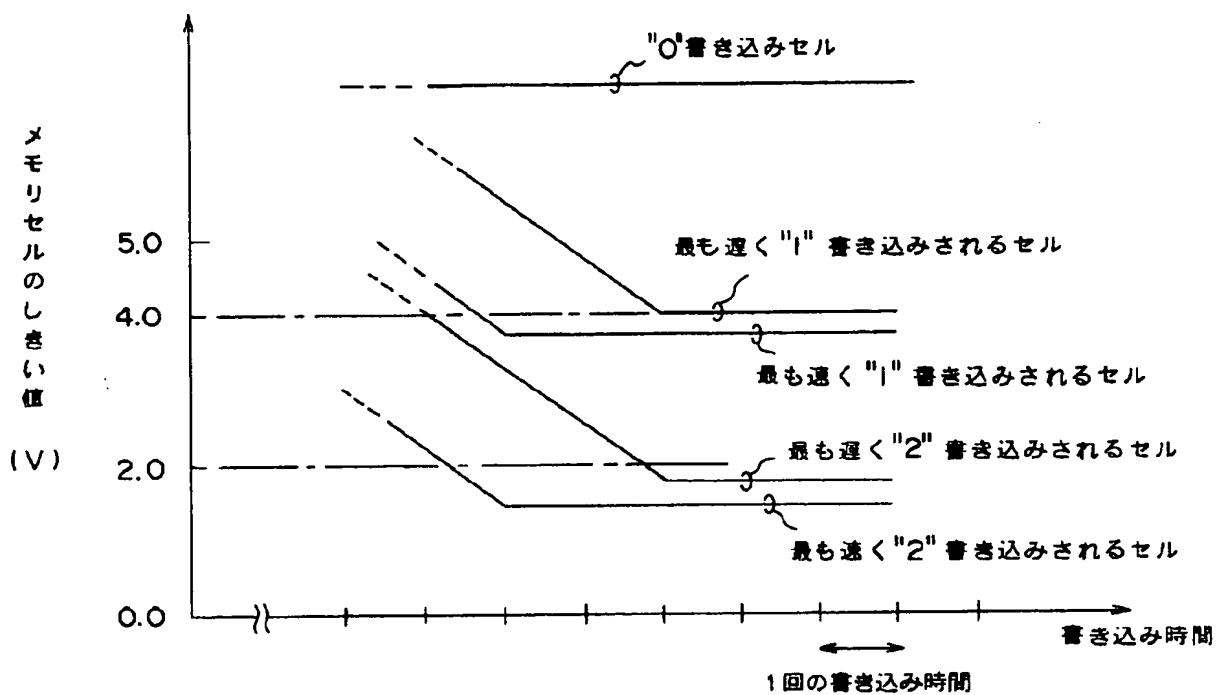
【図 9】



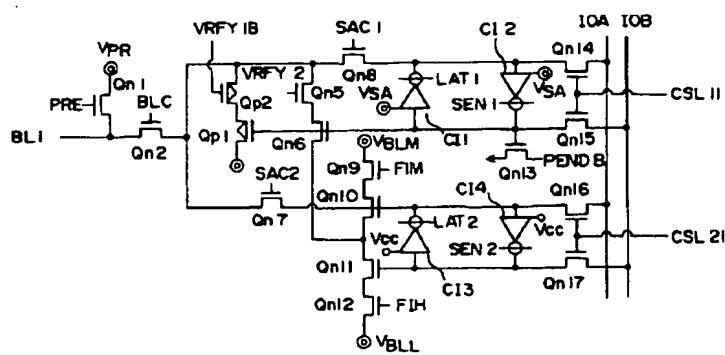
【図 12】



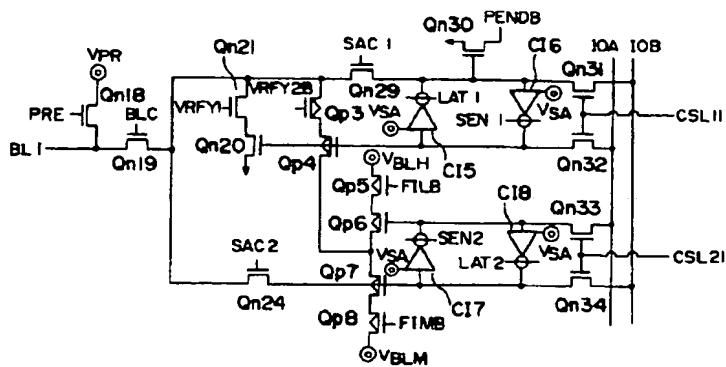
【図15】



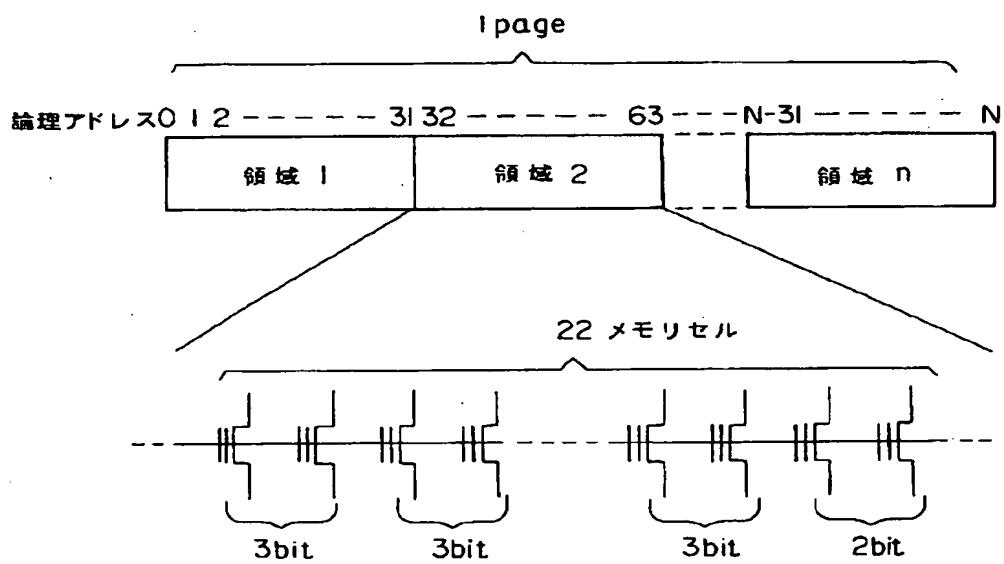
【図16】



【图 17】



【图 18】



【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成11年(1999)10月29日

【公開番号】特開平7-93979

【公開日】平成7年(1995)4月7日

【年通号数】公開特許公報7-940

【出願番号】特願平5-234767

【国際特許分類第6版】

G11C 16/04

16/06

【F1】

G11C 17/00 308

510 A

【手続補正書】

【提出日】平成10年12月8日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】電気的書き替えを可能とし3以上の複数の記憶状態を持たせたメモリセルがマトリクス状に配置されたメモリセルアレイと、このメモリセルアレイ中の複数のメモリセルの書き込み動作状態を制御するデータを一時記憶するための複数のデータ回路と、

前記複数のメモリセルにそれぞれ対応する前記データ回路の内容に応じて書き込み動作を行うための書き込み手段と、

前記複数のメモリセルの書き込み動作後の状態を確認するための書き込みベリファイ手段と、

前記データ回路の内容とメモリセルの書き込み動作後の状態から書き込み不十分のメモリセルに対してのみ再書き込みを行うように、前記データ回路の内容を更新する手段とを備え、

前記データ回路の内容に基づく書き込み動作と書き込みベリファイ動作及びデータ回路の内容更新を、前記複数のメモリセルが所定の書き込み状態になるまで繰り返しながら行うことにより、電気的にデータ書き込みを行うことを特徴とする不揮発性半導体記憶装置。

【請求項2】電気的書き替えを可能としたメモリセルがマトリクス状に配置されたメモリセルアレイを有し、1つのメモリセルに3以上の複数の記憶状態にして任意のデータ“i”(i=0, 1, ~, n-1; n≥3)を持たせて多値記憶し、データ“0”に対応する記憶状態は消去状態である不揮発性半導体記憶装置であって、センスアンプとしてデータをセンスする機能と、センス

した情報を前記メモリセルアレイ中の複数のメモリセルの書き込み動作状態を制御するデータとして記憶する機能を兼ね備えた複数のデータ回路と、

前記複数のメモリセルにそれぞれ対応する前記データ回路の内容に応じて書き込み動作を行うための書き込み手段と、

前記複数のメモリセルの書き込み動作後の状態がデータ“i”的記憶状態になっているか否かを確認するための第i(i=1, 2, ~, n-1)の書き込みベリファイ手段と、

前記データ回路の内容とメモリセルの書き込み動作後の状態から書き込み不十分のメモリセルに対してのみ再書き込みを行うように前記データ回路の内容を、データ“i”となるべきメモリセルに対応するデータ回路について一括更新する第i(i=1, 2, ~, n-1)のデータ回路内容一括更新手段と、

前記第iの書き込みベリファイ手段による記憶状態の確認と第iのデータ回路内容一括更新手段による一括更新を、データ“1”からデータ“n-1”に関してn-1回行い、前記データ回路全てについて内容更新するデータ回路内容更新手段とを備え、

前記第iのデータ回路内容一括更新手段は、第iの書き込みベリファイ手段によりメモリセルの書き込み動作後の状態が出力されるビット線電位のうち、データ“i”(i≥1)となるべきメモリセルに対応するビット線電位が再書き込みデータとしてセンス/記憶され、データ

“i”以外の状態となるべきメモリセルに対応するビット線電位はデータ回路の内容を保持するようセンス/記憶されるよう、メモリセルの書き込み動作後の状態が出力されるビット線の電位をデータ回路の内容に応じて修正し、ビット線電位が修正されるまではデータ回路のデータ記憶状態を保持し、修正されたビット線電位を保持したままデータ回路をセンスアンプとして動作させ、データ回路の内容をデータ“i”となるべきメモリセルに

対応するものについて一括更新を行い、

前記データ回路の内容に基づく書き込み動作とデータ回路内容更新を、前記複数のメモリセルが所定の書き込み状態になるまで繰り返しながら行うことにより電気的にデータ書き込みを行うことを特徴とする不揮発性半導体記憶装置。

【請求項3】前記データ回路は、書き込み動作時に該データ回路に記憶されているデータに応じて前記のメモリセルの書き込み動作状態を制御し、該メモリセルの状態を所定の書き込み状態になるよう変化させるか、又は該メモリセルの状態を書き込み動作前の状態に保持するかを制御し、

前記第iのデータ回路内容一括更新手段は、データ“i”の書き込み状態になるべきメモリセルに対応するデータ回路について、

メモリセルをデータ“i”的書き込み状態になるよう変化させるよう制御するデータが記憶されているデータ回路に対応するメモリセルがデータ“i”的書き込み状態に達している場合は、データ回路のデータをメモリセルの状態を書き込み動作前の状態に保持するよう制御するデータに変更し、

メモリセルをデータ“i”的書き込み状態になるよう変化させるよう制御するデータが記憶されているデータ回路に対応するメモリセルがデータ“i”的書き込み状態に達していない場合は、メモリセルの状態をデータ

“i”的書き込み状態になるよう変化させるよう制御するデータをデータ回路に設定し、

データ回路にメモリセルの状態を書き込み動作前の状態に保持するよう制御するデータが記憶されている場合は、メモリセルの状態を書き込み動作前の状態に保持するよう制御するデータをデータ回路に設定し、

かつ前記第iのデータ回路内容一括更新手段は、データ“i”以外の書き込み状態になるべきメモリセルに対応するデータ回路については変更しないことを特徴とする請求項2記載の不揮発性半導体記憶装置。

【請求項4】前記メモリセルは半導体層上に電荷蓄積層と制御ゲートを積層形成して構成され、前記3以上の複数の記憶状態として任意のデータ“i”(i=0, 1, ~, n-1; n≥3)をしきい値の大きさで多値記憶するものであり、

前記第iの書き込みベリファイ手段によって制御ゲートに所定の第iのベリファイ電位を印加し、データ“i”的状態になるべきメモリセルのしきい値が所望のしきい値であるか否かをベリファイすることを特徴とする請求項3記載の不揮発性半導体記憶装置。

【請求項5】データ“0”に対応する記憶状態は消去状態であって、前記データ“n-1”状態に対応するしきい値はデータ“0”状態に対応するしきい値と最も差が大きく、データ“1”, “2”, ~, “i”, ~, “n-2”状態に対応するしきい値はデータ“0”状態に対

応するしきい値からデータ“n-1”状態に対応するしきい値の間の値であって、

前記データ“0”状態に対応するしきい値から近い順にデータ“1”, “2”, ~, “i”, ~, “n-2”状態に対応するしきい値はなっていて、

前記第iの書き込みベリファイ手段によってメモリセルの書き込み後の状態が出力されるビット線電位の中で、前記データ回路の内容がメモリセルの状態を書き込み動作前の状態に保持するよう制御するデータであるものに對応するビット線の電位のみを、データ回路でセンスした場合にメモリセルの状態を書き込み動作前の状態に保持するよう制御するデータとなるよう第1の補正ビット線電位に設定する第1のビット線電位設定回路を備え、

前記第i(1≤i≤n-2)の書き込みベリファイ手段によってメモリセルの書き込み後の状態が出力されるビット線電位のうち、データ“j”(i+1≤j)状態になるべきメモリセルに対応するビット線の中で、データ回路の内容がメモリセルの状態をデータ“j”的書き込み状態になるよう変化させるよう制御するデータとなっているものに對応するビット線電位のみを、データ回路でセンスした場合にメモリセルの状態をデータ“j”的書き込み状態になるよう変化させるよう制御するデータとなるよう第2の補正ビット線電位に設定する第jのビット線電位設定回路を備え、

前記データ回路内容更新のため、第iの書き込みベリファイによりメモリセルの書き込み動作後の状態が出力されるビット線の電位をデータ回路の内容に応じて前記第1, i+1, i+2, ~, n-1のビット線電位設定回路によって修正することを特徴とする請求項4記載の不揮発性半導体記憶装置。

【請求項6】前記データ回路は、メモリセルの状態を書き込み動作前の状態に保持するよう制御するか否かを情報として記憶する第1のデータ記憶部と、第1のデータ記憶部の情報がメモリセルの状態を書き込み動作前の状態に保持するよう制御しない情報の場合メモリセルが記憶すべき書き込み状態“i”(i=1, 2, ~, n-1)を示す情報を記憶する第2のデータ記憶部と、から構成され、

前記第1のデータ記憶部は、前記データ回路内容更新のためデータ回路の内容に応じて前記第1, i+1, i+2, ~, n-1のビット線電位設定回路によって修正された、第iの書き込みベリファイによりメモリセルの書き込み動作後の状態が出力されるビット線の電位を、センス/記憶する機能を兼ね備えることを特徴とする請求項5記載の不揮発性半導体記憶装置。

【請求項7】前記第1のデータ記憶部の情報がメモリセルの状態を書き込み動作前の状態に保持するよう制御する情報である場合、書き込み動作時にビット線に書き込み防止ビット線電圧を出力する書き込み防止ビット線電

圧出力回路と、

第1のデータ記憶部の情報がメモリセルの状態を書き込み動作前の状態に保持するよう制御しない情報の場合、前記第2のデータ記憶部のメモリセルが記憶すべき書き込み状態“i”（i=1, 2, ~, n-1）を示す情報に応じて第iの書き込み時のビット線電圧を出力する第iの書き込みビット線電圧出力回路とを備えたことを特徴とする請求項6記載の不揮発性半導体記憶装置。

【請求項8】電気的書き替えを可能としn個の第1, 第2, ..., 第nの記憶状態（n≥3）を持つことが可能な複数のメモリセルと、

各々が前記メモリセルのそれぞれに対して設けられ、データ書き込み中にそれぞれのメモリセルに印加される書き込みパルスを制御するn個の第1, 第2, ..., 第nの制御データのうちのいずれかを記憶し、データ書き込み中にそれぞれのメモリセルの記憶状態を検出し、第i（i=2, ..., n）の制御データを記憶している場合に、対応するメモリセルが第iの記憶状態に達したと検出したら記憶している第iの制御データを第1の制御データに変更し、第j（j=2, ..., n）の制御データを記憶している場合に、対応するメモリセルが第jの記憶状態に達していないと検出したら記憶している第jの制御データを保持し、第1の制御データを記憶している場合はその第1の制御データを保持する、複数のデータ回路と、

を備えたことを特徴とする不揮発性半導体記憶装置。

【請求項9】電気的書き替えを可能としn個の第1, 第2, ..., 第nの記憶状態（n≥3）を持つことが可能な複数のメモリセルと、

データ入力バッファと、

各々が前記メモリセルのそれぞれに対して設けられ、前記データ入力バッファから送られてくるそれぞれのメモリセルに記憶すべき記憶状態を指示するn個の第1, 第2, ..., 第nの制御データのうちのいずれかを初期的に記憶し、データ書き込み中に記憶している制御データに従ってそれぞれのメモリセルに書き込みパルスを印加し、データ書き込み中にそれぞれのメモリセルの記憶状態を検出し、初期的に記憶する制御データによって指示された記憶状態に達していないメモリセルにのみ書き込みを促進するような書き込みパルスが印加されるよう、初期的に第i（i=2, ..., n）の制御データを記憶した場合、対応するメモリセルが第iの記憶状態に達したと検出したら記憶している制御データを第1の制御データに変更し、第1の制御データを記憶している場合はその第1の制御データを保持する、複数のデータ回路と、

を備えたことを特徴とする不揮発性半導体記憶装置。

【請求項10】データ入力バッファを備え、前記データ回路に記憶される制御データは前記データ入力バッファから送られてくる初期制御データに初期的に設定され

る、ことを特徴とする請求項8記載の不揮発性半導体記憶装置。

【請求項11】前記データ回路は、記憶している制御データに従って対応するメモリセルに印加される書き込みパルスの電圧を制御する、ことを特徴とする請求項8又は9記載の不揮発性半導体記憶装置。

【請求項12】データ書き込みは、前記メモリセルの全てが書き込まれるまで続けられる、ことを特徴とする請求項8又は9記載の不揮発性半導体記憶装置。

【請求項13】前記複数のデータ回路に記憶されている制御データを検出する制御データ検出回路を備え、前記制御データ検出回路は全てのデータ回路に記憶されている制御データが第1の制御データか否かを検出する、ことを特徴とする請求項8又は9記載の不揮発性半導体記憶装置。

【請求項14】データ書き込みは、前記制御データ検出回路が全てのデータ回路に記憶されている制御データが第1の制御データであることを検出するまで続けられる、ことを特徴とする請求項13記載の不揮発性半導体記憶装置。

【請求項15】前記データ回路は、第1の制御データ以外の制御データを記憶している場合のみ、データ書き込み中の対応するメモリセルの記憶状態を検出する、ことを特徴とする請求項8又は9記載の不揮発性半導体記憶装置。

【請求項16】制御ゲートと電荷蓄積層を有し電気的書き替えを可能とし3つ以上のしきい値レベルを持つことが可能な複数のメモリセルが直列に接続され、一端はビット線に接続され、それぞれのメモリセルの制御ゲートはそれぞれのワード線に接続された、NAND型メモリセルユニットと、

書き込み動作時に選択されたワード線に書き込み電圧を印加し、選択されたメモリセルのしきい値レベルが所望のレベルに達したか否かを検出するため選択されたワード線に書き込みベリファイ電圧を印加し、選択されたメモリセルのしきい値レベルが所望のレベルに達したか否かを検出するため選択されていないワード線に前記書き込みベリファイ電圧より高い電圧を印加する、ワード線駆動回路と、

所望のしきい値レベルに達していると検出された場合、書き込み動作時に第1のビット線電圧をビット線に印加して選択されたメモリセルのしきい値の変動を抑制し、所望のしきい値レベルに達していないと検出された場合、書き込み動作時に第2のビット線電圧をビット線に印加して選択されたメモリセルのしきい値が所望のしきい値レベルに達するようにする、ビット線制御回路と、を備えたことを特徴とする不揮発性半導体記憶装置。

【請求項17】制御ゲートと電荷蓄積層を有し電気的書き替えを可能とし3つ以上のしきい値レベルを持つことが可能な複数のメモリセルが直列に接続され、一端はビ

ット線に接続され、それぞれのメモリセルの制御ゲートはそれぞれのワード線に接続された、NAND型メモリセルユニットと、書き込み動作時に選択されたワード線に書き込み電圧を印加し、書き込み動作後の選択されたメモリセルのしきい値レベルを検出するため、書き込みベリファイ時に選択されたワード線に第1と第2の少なくとも2つの電圧の異なるベリファイ電圧を印加し、書き込みベリファイ時に選択されていないワード線に前記ベリファイ電圧より高い電圧を印加する、ワード線駆動回路と、所望のしきい値レベルに達していると検出された場合、書き込み動作時に第1のビット線電圧をビット線に印加して選択されたメモリセルのしきい値の変動を抑制し、

所望のしきい値レベルに達していないと検出された場合、書き込み動作時に第2のビット線電圧をビット線に印加して選択されたメモリセルのしきい値が所望のしきい値レベルに達するようにする、ビット線制御回路と、を備え、

書き込み動作と書き込みベリファイ動作を繰り返しながらデータ書き込みを行うことを特徴とする不揮発性半導体記憶装置。

【請求項18】前記書き込みベリファイ電圧が印加されたメモリセルが導通状態か非導通状態かを前記ビット線を介してセンスする、センスアンプを備えたことを特徴とする請求項16又は17記載の不揮発性半導体記憶装置。

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.